

Docket No.: WMP-IFT-965

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : KARIM-THOMAS TAGHIZADEH-KASCHANI
Filed : CONCURRENTLY HEREWITH
Title : RECEIVER CIRCUIT FOR A PUSH-PULL TRANSMISSION
METHOD AND METHOD FOR RECEIVER-END SIGNAL
PROCESSING IN PUSH-PULL TRANSMISSION METHODS

CLAIM FOR PRIORITY

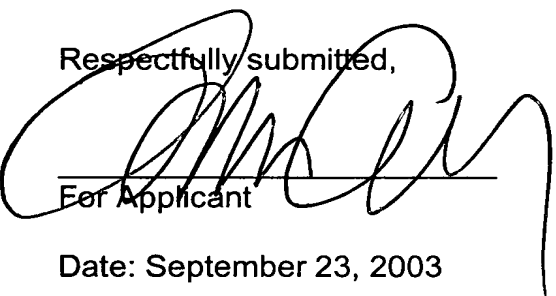
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 44 186.3, filed September 23, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,



For Applicant

LAURENCE A. GREENBERG
REG. NO. 29,308

Date: September 23, 2003

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/kf



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 44 186.3

Anmeldetag: 23. September 2002

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Empfängerschaltung für ein Gegentaktübertragungsverfahren und Verfahren zur empfängerseitigen Signalverarbeitung bei Gegentaktübertragungsverfahren

IPC: H 04 L 25/20

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 4. September 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Beschreibung

Empfängerschaltung für ein Gegentaktübertragungsverfahren und
Verfahren zur empfängerseitigen Signalverarbeitung bei Gegen-
5 taktübertragungsverfahren

Die vorliegende Erfindung betrifft eine Empfängerschaltung
für ein Gegentaktübertragungsverfahren und ein Verfahren zur
empfängerseitigen Signalverarbeitung bei Gegentaktübertra-
10 gungsverfahren.

Zum besseren Verständnis der nachfolgend erläuterten Erfin-
dung wird anhand der Figuren 1 und 2 zunächst die grundsätz-
liche Funktionsweise eines Gegentaktübertragungsverfahrens
15 erläutert.

Figur 1 zeigt ein Ausführungsbeispiel einer Gegentaktübertra-
gungsanordnung. Das Grundprinzip der Gegentaktübertragung be-
steht darin, aus einem Eingangssignal In zwei komplementäre
20 Sendesignale TXIn1, TXIn2 zu erzeugen und diese Sendesignale
TXIn1, TXIn2 über getrennte Kanäle zu übertragen. Bei der
Schaltung gemäß Figur 1 werden die Sendesignale TXIn1, TXIn2
durch eine Senderschaltung 110 aus dem Eingangssignal In er-
zeugt. Die Übertragungsstrecken umfassen jeweils eine Trei-
berschaltung 121, 122 und einen durch die Treiberschaltung
angesteuerten Transformator 131, 132 als Übertragungselement,
wobei die Transformatoren 131, 132 dazu dienen, die Sender-
seite und die Empfängerseite der Übertragungsstrecke elekt-
risch voneinander zu trennen. Die Transformatoren 131, 132
30 sind beispielsweise transformatorkernlose Transformatoren
(Coreless-Transformer), die platzsparend in einem Halbleiter-
chip integrierbar sind. Die Primärspulen der Transformatoren
werden durch Signale TXOut1 bzw. TXOut2 gespeist, die aus den
komplementären Sendesignalen TXIn1, TXIn2 in den Treibern
35 121, 122 erzeugt werden. An den Sekundärspulen der Transfor-
matoren 131, 132 stehen Empfangssignale RXIn1, RXIn2 zur Ver-

fügung, die aus den primärseitigen Signalen Txout1, TXOut2 resultieren.

Die an den Ausgängen der Übertragungskanäle RXIn1, RXIn2 an-
5 liegenden Signale werden mittels Detektorschaltungen 141, 142 detektiert, wobei Detektorausgangssignale S141, S142 einer Empfängerlogik 150 zur Bereitstellung eines von dem Eingangssignal In abhängigen Ausgangssignals Out zugeführt werden.

10 Zur Übertragung eines zweiwertigen Eingangssignals In mittels eines Gegentaktverfahrens über Kanäle mit Potentialbarrieren, wie beispielsweise Transformatoren, ist es bekannt, eine steigende Flanke des Eingangssignals In in einen Impuls auf einem der beiden Kanäle und eine fallende Flanke in einen Im-
15 puls auf dem anderen der beiden Kanäle umzusetzen, so dass bei der Übertragung eines solchen zweiwertigen Eingangssignals In nie Impulse auf beiden Kanälen gleichzeitig übertragen werden. Man macht sich dies für die Ausfilterung von Störsignalen zunutze, da davon ausgegangen werden kann, dass
20 solche Störsignale Gleichtaktsignale sind, also Signale, die gleichzeitig auf beiden Kanälen anliegen, wobei die Empfängerschaltung 10 dazu ausgebildet ist, bei gleichzeitiger Detektion von Empfangssignalen auf beiden Kanälen diese Signale zu ignorieren und das Ausgangssignal Out entsprechend unver-
5 ändert zu lassen.

Figur 2 zeigt beispielhaft den Signalverlauf bei einem solchen Gegentaktübertragungsverfahren, wobei in Figur 2 das Eingangssignal In und die aus diesem Eingangssignal In resul-
30 tierenden Impulse in den Empfangssignalen RXIn1, RXIn2 sowie das resultierende Ausgangssignal Out dargestellt sind. Die Empfangssignale RXIn1, RXIn2 enthalten in dem Beispiel außerdem einen Störimpuls, der jedoch gleichzeitig auf beiden Kanälen auftritt und der daher in der Empfangsschaltung 150
35 ausgefiltert wird.

Grundsätzlich müssen die Schaltungskomponenten einer Gegentaktübertragungsstrecke eine zweifelsfreie Unterscheidung von Stör- und Nutzsignalen ermöglichen und Störsignale ignorieren, wobei die Übertragungsgeschwindigkeit möglichst groß sein sollte, das heißt die Signallaufzeiten in den einzelnen Schaltungskomponenten möglichst gering sein sollten, und die Übertragungsanordnung möglichst kostengünstig zu realisieren sein sollte.

Schwierigkeiten bei der Störsignalunterdrückung können dann auftreten, wenn Störsignale, die gleichzeitig auf den beiden Kanälen auftreten, Amplitudenunterschiede aufweisen, so dass das Störsignal auf einem der Kanäle oberhalb einer Detektionsschwelle und das Störsignal auf dem anderen Kanal unterhalb einer Detektionsschwelle liegt, wodurch empfängerseitig fälschlicherweise eine Nutzsignalübertragung angenommen wird. Probleme können auch dann entstehen, wenn die Störsignale auf den beiden Kanälen zeitlich geringfügig versetzt zueinander auftreten.

Ziel der vorliegenden Erfindung ist es, eine Empfängerschaltung für ein Gegentaktübertragungsverfahren und ein Verfahren zur empfängerseitigen Signalverarbeitung bei Gegentaktübertragungsverfahren zur Verfügung zu stellen, wobei die Empfängerschaltung und das Verfahren robust gegenüber den bei der Signalübertragung auftretenden Störsignalen sind und die Empfängerschaltung zudem einfach und kostengünstig zu realisieren ist.

Dieses Ziel wird durch eine Empfängerschaltung für ein Gegentaktübertragungsverfahren gemäß der Merkmale der Patentansprüche 1 und der Patentansprüche 12 sowie durch ein Verfahren gemäß Patentanspruch 8 erreicht. Vorteilhafte Ausgestaltung der Erfindung sind Gegenstand der Unteransprüche.

Die erfindungsgemäße Empfängerschaltung für ein Gegentaktübertragungsverfahren umfasst einen ersten Eingang zur Zufüh-

5 rung eines ersten Eingangssignals und einen zweiten Eingang
zur Zuführung eines zweiten Eingangssignals sowie einen Aus-
gang zur Bereitstellung eines von dem ersten und zweiten Ein-
gangssignal abhängigen Ausgangssignal, eine den Eingängen
10 nachgeschaltete Detektorschaltung und eine zwischen die De-
tektorschaltung und den Ausgang geschaltete Signalverarbei-
tungsschaltung. Die Detektorschaltung umfasst einen an den
ersten Eingang angeschlossenen ersten Signaldetektor und ei-
nen an den zweiten Eingang angeschlossenen zweiten Signalde-
15 tektor, wobei die Signaldetektoren Amplituden der Eingangs-
signale jeweils mit einer Detektionsschwelle vergleichen und
ein von diesem Vergleich abhängiges Detektorausgangssignal
bereitstellen. Die Signaldetektoren umfassen dabei jeweils
einen Steuereingang zur Einstellung der Detektionsschwelle,
20 wobei der Steuereingang des ersten Signaldetektors an den
Ausgang des zweiten Signaldetektors und der Steuereingang des
zweiten Signaldetektors an den Ausgang des ersten Signalde-
tektors gekoppelt ist. Die Einstellung der Detektionsschwelle
und die Kopplung der beiden Signaldetektoren ermöglicht, bei
25 Detektion eines Eingangsimpulses durch einen der Signaldetek-
toren die Detektionsschwelle des jeweils anderen Signaldetek-
tors abzusenken. Hierdurch können Gleichtaktstörsignale er-
fasst werden, die unterschiedliche Amplituden aufweisen, so-
fern die Amplitude des Störsignals auf einem Kanal oberhalb
einer ersten Detektionsschwelle liegt, die die Grund-
30 Detektionsschwelle der Signaldetektoren darstellt, wobei das
Störsignal auf dem anderen Kanal kleiner als diese erste De-
tektionsschwelle sein kann, jedoch größer als die zweite
Detektionsschwelle sein muss.

30 Die Signaldetektoren sind vorzugsweise als Schmitt-Trigger
mit einer einstellbaren oberen Schaltschwelle ausgebildet,
wobei die Signaldetektoren die Eingangssignale nach Maßgabe
eines an dem jeweiligen Steuereingang anliegenden Steuersig-
35 nals mit der ersten Detektionsschwelle oder der zweiten De-
tektionsschwelle vergleichen und ein entsprechendes Detektor-
ausgangssignal bereitstellen.

Zur Unterdrückung von Gleichtaktstörsignalen, die zeitlich versetzt auf den an die Eingänge der Empfängerschaltung gekoppelten Übertragungskanälen auftreten, ist erfindungsgemäß eine Empfängerschaltung vorgesehen, die einen ersten Eingang zur Zuführung eines ersten Eingangssignals und einen zweiten Eingang zur Zuführung eines zweiten Eingangssignals sowie einen Ausgang zur Bereitstellung eines von dem ersten und zweiten Eingangssignal abhängigen Ausgangssignals aufweist. Den Eingängen ist eine Detektorschaltung nachgeschaltet, die Detektorausgangssignale bereitstellt, die von einem Vergleich der Eingangssignale mit einer Detektionsschwelle abhängig ist. Zwischen die Detektorschaltung und den Ausgang ist eine Signalverarbeitungsschaltung geschaltet, der die Detektorausgangssignale zugeführt sind und die das Ausgangssignal nach Maßgabe der Detektorausgangssignale bereitstellt. Die Signalverarbeitungsschaltung umfasst eine Flankenbewertungseinheit, die vorgegebene Flanken der Detektorausgangssignale detektiert und die Zwischensignale bereitstellt, die von den Detektorausgangssignalen und von einem zeitlichen Abstand zwischen einer vorgegebenen Flanke des ersten Detektorausgangssignals und einer vorgegebenen Flanke des zweiten Detektorausgangssignals abhängig sind.

Vorzugsweise umfasst die Flankenbewertungseinheit ein erstes asymmetrisches Verzögerungsglied, dem ein von dem ersten Detektorausgangssignal und dem zweiten Detektorausgangssignal abhängiges erstes Signal zugeführt ist, und ein zweites asymmetrisches Verzögerungsglied, dem ein von dem zweiten Detektorausgangssignal und dem ersten Detektorausgangssignal abhängiges zweites Signal zugeführt ist, wobei die Verzögerungsglieder erste Flanken, beispielsweise steigende Flanken, des ersten und zweiten Signals mit einer ersten Verzögerungszeit und zweite Flanken, beispielsweise fallende Flanken, des ersten und zweiten Signals mit einer zweiten Verzögerungszeit weitergeben.

Mittels einer solchen eine Flankenbewertungseinheit aufweisenden Signalverarbeitungseinheit können Flanken der für die weitere Verarbeitung relevanten Detektorausgangssignale ignoriert werden, sofern zwei gleiche Flanken, also zwei steigende oder zwei fallende Flanken der Detektorausgangssignale, in einem zeitlichen Abstand auftreten, der geringer ist, als ein vorgegebener minimal zulässiger Abstand zwischen zwei solchen Flanken. Liegt der zeitliche Abstand der Flanken zweier Detektorausgangssignale innerhalb dieses Zeitfensters, so wird davon ausgegangen, dass diese Flanken der Detektorausgangssignale aus zeitlich leicht versetzten Gleichtaktstörsignalen auf den Übertragungskanälen resultieren und deshalb zu ignorieren sind, um eine Auswirkung auf das Ausgangssignal zu verhindern.

Die Detektorschaltung mit den beiden miteinander gekoppelten Signaldetektoren, die jeweils einstellbare Detektionsschwellen aufweisen, und die Signalverarbeitungseinheit mit der Flankenbewertungseinheit werden vorzugsweise gemeinsam in der Empfängerschaltung verwendet, um zum Einen Gleichtaktstörsignale zu erkennen, die unterschiedliche Amplituden aufweisen, und zum Anderen Gleichtaktstörsignale zu eliminieren, die einen geringfügigen zeitlichen Versatz besitzen.

Selbstverständlich kann die Detektorschaltung mit den beiden gekoppelten Signaldetektoren mit einer beliebigen anderen Signalverarbeitungsschaltung in einer Empfängerschaltung kombiniert werden, und die Signalverarbeitungsschaltung mit der Flankenbewertungseinheit kann selbstverständlich mit einer beliebigen anderen Detektorschaltung in der Empfängerschaltung kombiniert werden.

Die vorliegende Erfindung wird nachfolgend in Ausführungsbeispielen anhand von Figuren näher erläutert. In den Figuren zeigt

Figur 1 eine Signalübertragungsstrecke nach dem Stand der Technik für ein Gegentaktübertragungsverfahren,

Figur 2 Signalverläufe ausgewählter, in Figur 1 eingezeich-
5 neter Signale,

Figur 3 ein Ausführungsbeispiel einer erfindungsgemäßen
Empfängerschaltung, die eine Detektorschaltung und
eine Signalverarbeitungsschaltung umfasst,

10
Figur 4 beispielhafte Signalverläufe ausgewählter in Figur
3 eingezeichneter Signale,

Figur 5 ein Ausführungsbeispiel für eine schaltungstechni-
15 sche Realisierung eines Signaldetektors mit variab-
ler Detektionsschwelle,

Figur 6 ein weiteres Ausführungsbeispiel eines Signaldetek-
tors mit variabler Detektionsschwelle,

20
Figur 7 ein Ausführungsbeispiel einer Empfängerschaltung
mit einer Detektorschaltung und einer im Detail
dargestellten erfindungsgemäßen Signalverarbei-
tungsschaltung,

25
Figur 8 beispielhafte zeitliche Verläufe ausgewählter in
Figur 7 eingezeichneter Signale,

Figur 9 ein schaltungstechnisches Realisierungsbeispiel ei-
30 nes asymmetrischen Verzögerungsgliedes,

Figur 10 eine Empfängerschaltung mit einer zwei gekoppelte
Signaldetektoren aufweisenden Detektorschaltung und
einer Signalverarbeitungsschaltung mit zwei Flan-
35 kenbewertungseinheiten,

Figur 11 beispielhafte zeitliche Verläufe ausgewählter in
Figur 10 eingezeichneter Signale,

Figur 12 beispielhafte zeitliche Verläufe ausgewählter in
5 Figur 10 eingezeichneter Signale.

In den Figuren bezeichnen, sofern nicht anders angegeben
gleiche Bezugszeichen gleiche Bauelemente und Signale mit
gleicher Bedeutung.

10

Figur 3 zeigt ein Ausführungsbeispiel einer erfindungsgemäßen
Empfängerschaltung, die Eingangsklemmen E1, E1 zur Zuführung
eines ersten und zweiten Eingangssignals In1, In2 sowie eine
Ausgangsklemme A zur Bereitstellung eines von den Eingangs-
15 signalen In1, In2 abhängigen Ausgangssignal Out aufweist. Die
Empfängerschaltung umfasst eine Detektorschaltung 10A, die an
die Eingänge E1, E2 gekoppelt ist und die erste und zweite
Detektorausgangssignale CLK1, CLK2 bereitstellt, die einer
zwischen die Detektorschaltung 10A und den Ausgang A geschal-
20 teten Signalverarbeitungseinheit 20 zugeführt sind.

Die Detektorschaltung 10A umfasst einen ersten Detektor 11,
dessen Eingang an die Eingangsklemme E1 angeschlossen ist und
an dessen Ausgang das erste Detektorausgangssignal CLK1 be-
25 reitsteht. Die Detektorschaltung 10A umfasst einen weiteren
Signaldetektor, dessen Eingang an die zweite Eingangsklemme
E2 angeschlossen ist und an dessen Ausgang das zweite Detek-
torausgangssignal CLK2 bereitsteht. Die Signaldetektoren 11,
12 sind dazu ausgebildet, das jeweilige Eingangssignal In1,
30 In2 mit einer Detektionsschwelle zu vergleichen und ein zwei-
wertiges Detektorausgangssignal CLK1 bzw. CLK2 zu erzeugen,
dessen Pegel von dem Vergleichsergebnis abhängig ist. Diese
Detektionsschwellen der Signaldetektoren 11, 12 sind über
Steuereingänge der Signaldetektoren 11, 12 einstellbar. Zur
35 Einstellung der Detektionsschwelle ist der Steuereingang des
zweiten Signaldetektors 12 an den Ausgang des ersten Signal-
detektors 11 angeschlossen, und der Steuereingang des ersten

Signaldetektors 11 ist an den Ausgang des zweiten Signaldetektors 12 angeschlossen.

Die Funktionsweise dieser Detektorschaltung 10A mit zwei kreuzgekoppelten Signaldetektoren 11, 12 wird nachfolgend anhand beispielhafter seitlicher Verläufe für das erste Eingangssignal In1, das zweite Eingangssignal In2 sowie die daraus resultierenden Detektorausgangssignale CLK1, CLK2 und das Ausgangssignal Out anhand von Figur 4 erläutert, wobei angenommen ist, dass die beiden Signaldetektoren 11, 12 jeweils als invertierende Schmitt-Trigger ausgebildet sind, die eine untere Schaltschwelle SL und eine obere einstellbare Schaltschwelle aufweisen, wobei diese obere Schaltschwelle abhängig von einem am Steuereingang des jeweiligen Signaldetektors 11, 12 anliegenden Signals einen höheren Detektionsschwellenwert SH1 oder einen niedrigeren Detektionsschwellenwert SH2 für den Vergleich mit den Eingangssignalen In1, In2 annimmt. Der größere Schwellenwert SH1 wird dabei als Vergleichswert herangezogen, wenn an dem jeweiligen Steuereingang der Signaldetektoren 11, 12 ein oberer Signalpegel anliegt, und der zweite Signalschwellenwert SH2 wird als Vergleichswert für das jeweilige Eingangssignal In1 bzw. In2 herangezogen, wenn an dem jeweiligen Steuereingang der Signaldetektoren 11, 12 ein unterer Signalpegel anliegt.

Die Eingangssignale In1, In2 umfassen eine Folge zeitlich aufeinanderfolgender Impulse, wobei diese Impulse aus übertragenen Nutzsignalen und aus Störsignalen resultieren können. Solange kein Impuls an den Eingängen E1, E2 detektiert wird, nehmen die Detektorausgangssignale CLK1, CLK2 einen oberen Signalpegel an. Ein jeweiliges Detektorausgangssignal CLK1, CLK2 ändert dabei erst dann seinen Zustand, wenn eines der Eingangssignale In1, In2 die größere der beiden Detektionsschwellen übersteigt. In dem dargestellten Beispiel liegt an der ersten Eingangsklemme E1 ein Impuls an, der zum Zeitpunkt t1 die größere obere Detektionsschwelle SH1 übersteigt, wodurch das erste Detektorausgangssignal CLK1 einen unteren

Signalpegel (Low-Pegel) annimmt. Das Detektorausgangssignal CLK1 steigt dabei wieder auf einen oberen Signalpegel (High-Pegel) an, nachdem der am Eingang E1 anliegende Impuls unter die untere Detektionsschwelle SL abgesunken ist. Während dieses Impulses an der ersten Eingangsklemme E1 wird an dem zweiten Eingang E2 kein Impuls detektiert, so dass das zweite Detektorausgangssignal CLK2 auf einem High-Pegel verbleibt. Die Signalverarbeitungsschaltung 20 wertet die Detektorausgangssignale CLK1, CLK2 aus und erzeugt mit einer fallenden Flanke des ersten Detektorausgangssignals CLK1 eine steigende Flanke des Ausgangssignals Out, sofern das zweite Detektorausgangssignal CLK2 während der fallenden Flanke des ersten Detektorausgangssignals und vorzugsweise innerhalb eines Zeitraumes kurz vor oder kurz nach der fallenden Flanke des ersten Detektorausgangssignals CLK1 auf einem High-Pegel verbleibt. Ein Ausführungsbeispiel für eine solche Signalverarbeitungsschaltung 20 wird nachfolgend noch erläutert werden.

Im weiteren Verlauf liegt an dem zweiten Eingang E2 ein Impuls an, der zu einem Zeitpunkt t_3 die größere obere Detektionsschwelle SH1 übersteigt und zu einem Zeitpunkt t_4 unter die untere Detektionsschwelle SL absinkt. Das zweite Detektorausgangssignal CLK2 weist zum Zeitpunkt t_3 entsprechend eine fallende Flanke und zum Zeitpunkt t_4 entsprechend eine steigende Flanke auf. Während des Impulses an dem zweiten Eingang E2 liegt am ersten Eingang E1 kein Impuls an, so dass das erste Detektorausgangssignal CLK1 auf einem High-Pegel verbleibt. Die Signalverarbeitungsschaltung 20 erzeugt eine fallende Flanke des Ausgangssignals Out mit der fallenden Flanke des zweiten Detektorausgangssignals CLK2 sofern während der fallenden Flanke des zweiten Detektorausgangssignals CLK2 und vorzugsweise innerhalb eines vorgegebenen Zeitraumes vor und nach der fallenden Flanke des zweiten Detektorausgangssignals CLK2 das erste Detektorausgangssignal CLK1 einen High-Pegel aufweist.

Im weiteren Verlauf tritt an den Eingängen E1, E2 ein Gleich-
taktstörsignal auf, welches einen Impuls an dem ersten Ein-
gang E1 und einen Impuls an dem zweiten Eingang E2 umfasst,
die zeitgleich auftreten, die jedoch unterschiedliche Ampli-
tuden aufweisen. Der Impuls an dem ersten Eingang E1 über-
steigt zu einem Zeitpunkt t_5 die größere obere Detekti-
onsschwelle SH1. Durch den daraus resultierenden Wechsel des
Detektorausgangs CLK1 auf einen Low-Pegel wird die obere De-
tektionsschwelle des zweiten Signaldetektors 12 von dem grö-
ßeren Wert SH1 auf den kleineren Wert SH2 abgesenkt. Der Im-
puls an dem zweiten Eingang E2 übersteigt diese kleinere obe-
re Signalschwelle SH2 jedoch nicht die größere obere Signal-
schwelle SH1, wobei dieser Impuls aufgrund der Absenkung des
oberen Detektionsschwellenwertes in dem zweiten Signaldetek-
tor 12 zum Zeitpunkt t_5 ebenfalls detektiert wird und eine
fallende Flanke des zweiten Detektorausgangssignals CLK2 er-
zeugt wird.

Zum Zeitpunkt t_5 liegen aufgrund des Gleichtaktstörsignals
fallende Flanken sowohl des ersten als auch des zweiten De-
tektorausgangssignals CLK1, CLK2 vor. Die Signalverarbei-
tungsschaltung 20 ist dazu ausgebildet, gleichzeitig oder in
kurzen zeitlichen Abständen auftretende fallende Flanken der
Detektorausgangssignale CLK1, CLK2 zu "ignorieren" und den
Pegel des Ausgangssignals Out nicht zu ändern.

Wie anhand des Zeitverlaufes in Figur 4 ersichtlich ist, be-
wirkt die Verwendung zweier kreuzgekoppelter Signaldetektoren
mit einstellbarer oberer Detektionsschwelle, dass auch
Gleichtaktstörsignale unterschiedliche Amplituden wirkungs-
voll unterdrückt werden können. Ohne eine Absenkung der obe-
ren Detektionsschwelle des zweiten Signaldetektors 12 wäre
der Pegel des zweiten Detektorausgangssignals CLK2 unverän-
dert geblieben und der Impuls an dem ersten Eingang E1 wäre
in der Signalverarbeitungsschaltung 20 als Nutzsignal erkannt
worden, was zu einer Änderung des Ausgangssignals Out geführt
hätte.

Selbstverständlich ist die Empfängerschaltung nicht auf eine zweikanalige Ausführungsform mit einem ersten und zweiten Eingang E1, E2 und einem ersten und zweiten Detektor 11, 12 beschränkt. Bei einer nicht näher dargestellten Ausführungsform mit mehr als zwei Kanälen und somit mehr als zwei Detektoren sind dem Steuereingang eines der Detektoren die Ausgangssignale der jeweils anderen Detektoren zugeführt, wobei diese Ausgangssignale so miteinander verknüpft sind, dass die Änderung des Ausgangssignals eines dieser anderen Detektoren ausreicht, um die Detektionsschwelle des einen Detektors abzusinken. Bei Parallelschalten von mehr als zwei Detektoren der in Figur 3 dargestellten Art, bei denen sich die Detektionsschwelle bei Vorliegen eines Low-Pegels an dem Steuereingang ändert und bei denen das Ausgangssignal eines Detektors bei Detektion eines Eingangssignals auf einen Low-Pegel absinkt, werden zur Steuerung eines Detektors die Ausgangssignale der anderen Detektoren beispielsweise mittels eines UND-Gatters miteinander verknüpft.

Figur 5 zeigt ein schaltungstechnisches Realisierungsbeispiel für einen invertierenden Schmitt-Trigger mit einer einstellbaren oberen Detektionsschwelle. Der Schmitt-Trigger umfasst einen Operationsverstärker OPV und einen zwischen den Ausgang des Operationsverstärkers OPV und Bezugspotential geschalteten Spannungsteiler mit einer Reihenschaltung eines ersten Widerstandes R1 und eines zweiten Widerstandes R21, wobei ein Mittenabgriff dieses Spannungsteilers an den nicht-invertierenden Eingang des Operationsverstärkers OPV zurückgekoppelt ist. Parallel zu dem zweiten Widerstand R21 ist ein dritter Widerstand R22 in Reihe zu einem Schalter S geschaltet, wobei dieser dritte Widerstand R22 nach Maßgabe der Schalterstellung des Schalters parallel zu dem zweiten Widerstand R21 geschaltet ist. Die Schaltschwelle eines solchen Schmitt-Triggers ist bekanntlicher Weise abhängig vom Teilverhältnis des Spannungsteilers, wobei dieses Teilverhältnis über den zuschaltbaren dritten Widerstand R22 veränderbar

ist. Der Schalter wird dabei nach Maßgabe eines zweiwertigen Steuersignals geöffnet oder geschlossen, um die Schaltschwelle einzustellen. Am Ausgang des Schmitt-Triggers steht eine Ausgangsspannung U_{out} zur Verfügung, die nach Maßgabe eines Eingangssignals U_{in} einen oberen oder einen unteren Signalpegel annimmt, wobei die Abhängigkeit dieses Ausgangssignals U_{out} von dem Eingangssignal U_{in} durch das Teilerverhältnis des Spannungsteilers bestimmt ist.

Figur 6 zeigt ein weiteres schaltungstechnisches Realisierungsbeispiel für einen invertierenden Schmitt-Trigger, mit einstellbarer oberer Detektionsschwelle. Der Schmitt-Trigger umfasst eine Eingangsstufe mit zwei p-Kanal-Transistoren TP1, TP2 und zwei n-Kanal-Transistoren TN1, TN2, deren Laststrecken in Reihe zwischen ein Versorgungspotential V und ein Bezugspotential GND geschaltet sind und die durch eine auf Bezugspotential GND bezogene Eingangsspannung U_{in} angesteuert sind. Ein der Reihenschaltung der beiden p-Kanal-Transistoren TP1, TP2 und der Reihenschaltung der beiden n-Kanal-Transistoren TN1, TN2 gemeinsamer Knoten bildet einen Ausgang des Schmitt-Triggers, an dem eine Ausgangsspannung U_{out} anliegt. Zur Einstellung einer Schalthysterese des Schmitt-Triggers ist ein weiterer p-Kanal-Transistor TP3 vorgesehen, dessen Laststrecke zwischen Bezugspotential GND und einen den beiden p-Kanal-Transistoren TP1, TP2 gemeinsamen Knoten angeschlossen ist und der durch die Ausgangsspannung U_{out} angesteuert ist. Zur Einstellung der oberen Schwellenspannung sind in dem Ausführungsbeispiel ein erster und zweiter n-Kanal-Transistor TN31, TN32 vorgesehen, deren Laststrecken zwischen das Versorgungspotential V und einen den n-Kanal-Transistoren TN1, TN2 gemeinsamen Knoten geschaltet sind, wobei der erste Transistor TN31 durch die Ausgangsspannung U_{out} und der zweite Transistor TN32 durch ein die Schaltschwelle beeinflussendes Steuersignal CS angesteuert ist. Dieses Steuersignal CS ist so gewählt, dass der Transistor TN32 stets leitet, dass dessen Laststreckenwiderstand jedoch einen ersten großen Wert und einen zweiten kleinen Wert annehmen kann.

Die Funktionsweise dieser Schaltungsanordnung gemäß Figur 6 ergibt sich wie folgt: Zunächst sei angenommen, dass das Ausgangssignal U_{out} sowie das Steuersignal CS einen oberen Signalpegel aufweisen, wodurch die Transistoren $TN31$ und $TN32$ leiten. Steigt das Eingangssignal U_{in} an, so beginnt zunächst der n-Kanal-Transistor $TN1$ zu leiten, wobei bedingt durch den Stromfluss durch den ersten und zweiten Transistor $TN31$, $TN32$ über der Laststrecke des Transistors $TN2$ ein Spannungsabfall hervorgerufen wird, der den Transistor $TN2$ zunächst gesperrt hält. Steigt die Eingangsspannung U_{in} weiter an, bis der Laststreckenwiderstand des Transistors $TN2$ und entsprechend der Spannungsabfall über dessen Laststrecke so gering ist, dass der Transistor $TN1$ leitet, so sinkt das Ausgangssignal auf einen Low-Pegel ab. Die Eingangsspannung U_{in} , bei welcher der Übergang des Ausgangssignals U_{out} auf einem Low-Pegel stattfindet ist abhängig von dem über die Reihenschaltung des ersten und zweiten Transistors $TN31$, $TN32$ gelieferten Stromes und damit abhängig von dem Steuersignal CS .

Figur 7 zeigt ein Ausführungsbeispiel einer erfindungsgemäßen Empfängerschaltung mit einer Detektorschaltung 10 und einer der Detektorschaltung 10 nachgeschalteten, im Detail dargestellten Signalverarbeitungsschaltung 20A, der Detektorausgangssignale $CLK1$, $CLK2$ der Detektorschaltung 10 zugeführt sind. Die Detektorschaltung 10 kann entsprechend der in Figur 3 im Detail dargestellten Detektorschaltung 10A mit zwei kreuzgekoppelten Signaldetektoren ausgebildet sein. Die Detektorschaltung kann jedoch als beliebige weitere Detektorschaltung zur Detektion von Signalimpulsen an den Eingängen $E1$, $E2$ und zur Bereitstellung von zweiwertigen Detektorausgangssignalen $CLK1$, $CLK2$ nach Maßgabe der Eingangssignale $In1$, $In2$ ausgebildet sein. Für die dargestellte Signalverarbeitungsschaltung 20A ist die Detektorschaltung 10 dabei so ausgebildet, dass sie bei Detektion eines Impulses an den Eingängen $E1$, $E2$ jeweils eine fallende Flanke des zugehörigen Detektorausgangssignals $CLK1$ bzw. $CLK2$ erzeugt.

Die Signalverarbeitungsschaltung 20A ist dazu ausgebildet, ein Ausgangssignal Out nach Maßgabe der Detektorausgangssignale CLK1, CLK2 zu erzeugen, wobei die Signalverarbeitungsschaltung 20A bei einer fallenden Flanke des ersten Detektorausgangssignals CLK1 eine steigende Flanke des Ausgangssignals Out und bei einer fallenden Flanke des zweiten Detektorausgangssignals CLK2 eine fallende Flanke des Ausgangssignals Out erzeugt und wobei fallende Flanken des ersten und zweiten Detektorausgangssignals CLK1, CLK2, die innerhalb eines vorgegebenen Zeitfensters auftreten, ignoriert werden, um die Unterdrückung von Gleichtaktstörsignalen zu verbessern.

Die Signalverarbeitungsschaltung 20A umfasst eine Flankenabstandsbewertungseinheit 30 der die Detektorausgangssignale CLK1, CLK2 zugeführt sind und die symmetrisch aufgebaut ist. Diese Flankenabstandsbewertungseinheit 30 umfasst ein erstes asymmetrisches Verzögerungsglied 41, dem ein von dem ersten Detektorausgangssignal CLK1 und ein von dem zweiten Detektorausgangssignal CLK2 abhängiges erstes Signal Q1 zugeführt sind, und ein zweites asymmetrisches Verzögerungsglied 42, dem ein von dem zweiten Detektorausgangssignal CLK2 und dem ersten Detektorausgangssignal CLK1 abhängiges zweites Signal Q2 zugeführt ist. "Asymmetrisch" bedeutet im Zusammenhang mit den Verzögerungsgliedern 41, 42, dass die Verzögerungsglieder steigende Flanken des ersten und zweiten Signals Q1, Q2 mit einer anderen Verzögerungszeit als fallende Flanken des ersten und zweiten Signals Q1, Q2 weitergeben.

Das erste Signal Q1 steht am Ausgang eines ersten negativflankengetriggerten D-Flip-Flops 31 zur Verfügung, dessen D-Eingang an Versorgungspotential V1 liegt und an dessen Takteingang CLKn das erste Detektorausgangssignal CLK1 anliegt. Dieses Flip-Flop 31 übernimmt mit jeder fallenden Flanke des Detektorausgangssignals CLK1 den Wert des positiven Versorgungspotentials V1, wodurch mit jeder fallenden Flanke des ersten Detektorausgangssignals CLK1 das erste Signal Q1 einen High-Pegel annimmt. Das Flip-Flop 31 wird abhängig von dem

zweitem Detektorausgangssignal CLK2 über einen Inverter 21 mit jeder fallenden Flanke des zweiten Detektorausgangssignals CLK2 zurückgesetzt. Die symmetrisch aufgebaute Flankenabstandsbewertungseinheit 30 umfasst ein weiteres D-Flip-Flop, dessen D-Eingang an dem positiven Versorgungspotential V1 liegt, dessen Takteingang CLKn das zweite Detektorausgangssignal CLK2 zugeführt ist und dessen Rücksetzeingang R das mittels eines Invertierers 22 invertierte erste Detektorausgangssignal CLK2 zugeführt ist.

10

Die Signalverarbeitungsschaltung 20A umfasst neben der Flankenabstandsbewertungseinheit 30 eine Ausgangsstufe 60, die in dem Ausführungsbeispiel als Low-Pegel-getriggertes Flip-Flop 60 mit zwei kreuzgekoppelten NAND-Gattern 61 ausgebildet ist. Das Flip-Flop 60 umfasst einen Setzeingang SN und einen Rücksetzeingang sowie einen Ausgang QP, der durch den Ausgang des NAND-Gatters 61 gebildet ist. Mit jedem Low-Pegel eines am Setzeingang SN anliegenden Signals ST1 nimmt das Ausgangssignal Out einen oberen Signalpegel an, und mit jedem Low-Pegel eines an dem Rücksetzeingang RN anliegenden Signals nimmt das Ausgangssignal Out einen Low-Pegel an.

20

In dem Ausführungsbeispiel sind zwischen die Ausgänge der asymmetrischen Verzögerungsglieder 41, 42 und den Setz- bzw. Rücksetzeingang SN bzw. RN des Ausgangs-Flip-Flop 60 jeweils invertierende Schmitt-Trigger 51, 52 geschaltet. Auf diese Schmitt-Trigger 51, 52 kann verzichtet werden, sofern gewährleistet ist, dass die asymmetrischen Verzögerungsglieder 41, 42 stabile Signalpegel liefern, wobei die Ausgangsstufe 60 bei Verzicht auf die Schmitt-Trigger als High-Pegel-getriggertes Flip-Flop ausgebildet ist.

5

30

Die Funktionsweise der Signalverarbeitungsschaltung 20A mit der Flankenabstandsbewertungseinheit 30 wird nachfolgend anhand beispielhafter zeitlicher Verläufe des ersten und zweiten Detektorausgangssignals CLK1, CLK2 und der daraus resultierenden ersten und zweiten Signale Q1, Q2, der Ausgangssig-

35

nale T1, T2 der asymmetrischen Verzögerungsglieder 41, 42, Eingangssignale ST1, ST2 der Ausgangsstufe 60 sowie des Ausgangssignals Out in Figur 8 erläutert.

- 5 Die Detektorausgangssignale CLK1, CLK2, die durch die Detektorschaltung 10 am Eingang der Empfängerschaltung erzeugt werden, sind Logiksignale, die überwiegend einen High-Pegel aufweisen und die bei Detektion eines Impulses an den Eingängen E1, E2 einen Low-Pegel annehmen.

10

Das erste Detektorausgangssignal CLK1 weist zum Zeitpunkt t_{11} in dem beispielhaften Signalverlauf eine fallende Flanke auf. Hieraus resultiert eine steigende Flanke des am Ausgang des Flip-Flops 31 anliegenden ersten Signals Q1. Mit der fallenden Flanke des ersten Detektorausgangssignals CLK1 wird darüber hinaus über den Inverter 22 das Flip-Flop 32 zurückgesetzt, woraus eine fallende Flanke des zweiten Signals Q2 resultiert. Die asymmetrischen Verzögerungsglieder 41, 42 sind vorzugsweise identisch aufgebaut und so ausgebildet, dass sie steigende Flanken der an ihren Eingängen anliegenden Signale Q1, Q2 mit einer ersten Verzögerungsdauer Δt_h an ihren Ausgang weitergeben und dass sie fallende Flanken der Eingangssignale Q1 bzw. Q2 mit einer zweiten Verzögerungszeit Δt_l , die kleiner ist als die erste Verzögerungszeit Δt_h , an den Ausgang weiter geben. Somit liegt zu einem Zeitpunkt $t_{11} + \Delta t_h$ eine steigende Flanke des Ausgangssignals T1 des ersten asymmetrischen Verzögerungsgliedes 41 und zum Zeitpunkt $t_{11} + \Delta t_l$ eine fallende Flanke des Ausgangssignals T2 des zweiten asymmetrischen Verzögerungsgliedes 42 vor. Gatterlaufzeiten, die neben den Verzögerungszeiten der Verzögerungsglieder 41, 42 auftreten, sind im Rahmen dieser Erläuterung vernachlässigt.

Die an den Eingängen SN, RN der Ausgangsstufe 60 anliegenden Signale ST1, ST2 entsprechen bei Vorliegen stabile Signalpegel der Ausgangssignale T1, T2 der Verzögerungsglieder 41, 42 den invertierten Ausgangssignalen T1, T2 der Verzögerungs-

glieder. Aus der steigenden Flanke des Ausgangssignals T1 des Verzögerungsglieds 41 zum Zeitpunkt $t_{11} + \Delta t_h$ resultiert somit eine fallende Flanke des Signals ST1 am Ausgang des Schmitt-Triggers 51 wodurch das Flip-Flop 60 gesetzt wird und
5 das Ausgangssignal Out einen High-Pegel annimmt.

Zum Zeitpunkt t_{12} liegt eine fallende Flanke des zweiten Detektorausgangssignals CLK2 vor. Hieraus resultiert eine steigende Flanke des zweiten Signals Q2 am Ausgang des Flip-Flop
10 32 sowie eine fallende Flanke des ersten Signals Q1 am Ausgang des Flip-Flops 31, das mit der fallenden Flanke des zweiten Detektorausgangssignals CLK2 zurückgesetzt wird. Eine fallende Flanke des Ausgangssignals T1 des ersten Verzögerungsglieds 41 liegt zeitverzögert zum Zeitpunkt $t_{12} + \Delta t_l$
15 vor, während eine steigende Flanke des Ausgangssignals T2 des zweiten Verzögerungsglieds 42 zeitverzögert zu einem Zeitpunkt $t_{12} + \Delta t_h$ vorliegt. Wegen der daraus resultierenden fallenden Flanke des Signals ST2 am Eingang des Rücksetzeingangs RN des Flip-Flops 60 wird dieses Flip-Flop 60 zurückge-
20 setzt und das Ausgangssignal Out nimmt einen unteren Signalpegel an.

Bei den bislang erläuterten Zeitverläufen ist der zeitliche Abstand zwischen den fallenden Flanken des ersten und zweiten Detektorausgangssignals CLK1, CLK2 jeweils größer als die Verzögerungszeiten Δt_l bzw. Δt_h der asymmetrischen Verzögerungsglieder 41, 42. Im weiteren Signalverlauf der Detektorausgangssignale CLK1, CLK2 treten fallende Flanken dieser Detektorausgangssignale zum Zeitpunkt t_{13} bzw. zeitversetzt zum
30 Zeitpunkt $t_{13} + \Delta t$ auf. Dabei ist die Breite der Low-Impulse der Detektorausgangssignale CLK1, CLK2 größer als der Zeitversatz Δt . Hieraus resultiert ein High-Impuls des ersten Signals Q1 der Breite Δt und ein Rücksetzen des zweiten Signals Q2 auf Low. Der zeitliche Abstand Δt zwischen den fal-
35 lenden Flanken der Detektorausgangssignale CLK1, CLK2 ist geringer als die Verzögerungsdauer Δt_h , mit welcher Verzögerungsglieder steigende Flanken der Eingangssignale Q1 bzw. Q2

weitergeben. Entsprechend führt der Impuls des Eingangssignals $Q1$ ab dem Zeitpunkt t_{13} nicht zu einem entsprechenden Impuls des Ausgangssignals $T1$ des Verzögerungsgliedes 41. Das Signal am Setz-Eingang SN des Flip-Flop 60 bleibt damit unverändert, wodurch sich das Ausgangssignal Out nicht ändert. Der Pegel des zweiten Signals $Q2$ hat keine Auswirkungen auf das Ausgangssignal Out bleibt.

Sofern nicht gewährleistet ist, dass die Breite der Low-Impulse der Detektorausgangssignale $CLK1$, $CLK2$ nicht größer als der Zeitversatz Δt ist, ist auch vor den Rücksetzeingängen R der Flip-Flops 31, 32 jeweils ein asymmetrisches Verzögerungsglied entsprechend der Verzögerungsglieder 41, 42 vorzusehen.

Die in Figur 7 dargestellte Signalverarbeitungsschaltung 20A mit der Flankenabstandsbewertungseinheit 30 ist aufgrund der asymmetrischen Verzögerungsglieder 41, 42 in der Lage, fallende Flanken der Detektorausgangssignale $CLK1$, $CLK2$ "auszublenden", die innerhalb eines Zeitfensters auftreten, welches kürzer ist als die Verzögerungszeit Δt_h , mit welcher die Verzögerungsglieder 41, 42 steigende Flanken der ersten und zweiten Signale $Q1$, $Q2$ weitergeben. Somit können Gleichtaktstörsignale, die zeitlich versetzte Impulse an den Eingängen $E1$, $E2$ hervorrufen, und die in der Detektionsschaltung 10 detektiert werden, in der Signalverarbeitungseinheit 20A ausgeblendet werden.

Figur 9a zeigt ein schaltungstechnisches Realisierungsbeispiel eines asymmetrischen Verzögerungsgliedes, das steigende Flanken eines Eingangssignals Sin mit einer ersten Verzögerungszeit und fallende Flanken des Eingangssignals Sin mit einer zweiten Verzögerungszeit an ein Ausgangssignal $Sout$ weitergibt. Das Verzögerungsglied umfasst eine Reihenschaltung mit einer ersten Stromquelle I_{q1} und einem p-Kanal-Transistor TP sowie eine Reihenschaltung mit einem n-Kanal-Transistor TN und einer zweiten Stromquelle I_{q2} , wobei diese

Reihenschaltungen in Reihe zwischen ein Versorgungspotentials V_{cc} und Bezugspotential GND geschaltet sind. Die beiden Transistoren TP, TN sind durch das Eingangssignal S_{in} angesteuert. Zwischen einen den beiden Transistoren TP und TN gemeinsamen Knoten N1 und Bezugspotential GND ist ein Kondensator C geschaltet. Ein Schmitt-Trigger ST mit einer oberen Detektionsschwelle V_h und einer unteren Detektionsschwelle V_l vergleicht eine über dem Kondensator C anliegende Spannung U_c mit diesen Detektionsschwellen und stellt das Ausgangssignal S_{out} zur Verfügung.

Figur 9b zeigt zeitliche Verläufe für das Eingangssignal S_{in} und des davon abhängigen Ausgangssignals S_{out} für das in Figur 9a dargestellte Verzögerungsglied. Nimmt das Eingangssignal S_{in} einen High-Pegel an, so sperrt der Lowside-Transistor TN und der Kondensator C wird über die Stromquelle I_{q1} mit einem Strom I_1 aufgeladen, wodurch die Spannung über dem Kondensator U_c linear ansteigt. Erreicht diese Spannung den Wert der oberen Detektionsschwelle V_h , so nimmt das Ausgangssignal S_{out} einen High-Pegel an. Die Verzögerungsdauer Δt_h zwischen der steigenden Flanke des Eingangssignals S_{in} und der steigenden Flanke des Ausgangssignals S_{out} ist proportional zu dem Strom I_1 und der oberen Detektionsschwelle V_h des Schmitt-Trigger ST. Der Kondensator C wird im weiteren Verlauf noch bis auf die Versorgungsspannung V_{cc} aufgeladen.

Nimmt das Eingangssignal S_{in} anschließend einen Low-Pegel an, so sperrt der Highside-Transistor TP und der Lowside-Transistor TN leitet, wodurch der Kondensator C mittels eines durch die Stromquelle I_{q2} gelieferten Stromes I_2 entladen wird. Das Ausgangssignal S_{out} nimmt dabei ein Low-Pegel an, sobald die Spannung U_c über dem Kondensator C unter den Wert der unteren Detektionsschwelle V_l abgesunken ist. Die Verzögerungszeit zwischen einer fallenden Flanke des Eingangssignals S_{in} und einer fallenden Flanke des Ausgangssignals S_{out} ist abhängig von der Differenz zwischen der Versorgungsspannung V_{cc} und der unteren Schaltschwelle V_L und proportional

zu dem zweiten Strom I_2 . Dieser zweite Strom I_2 ist betragsmäßig größer als der erste Strom I_1 , um den Kondensator C schneller zu entladen als zu laden, woraus unterschiedliche Verzögerungszeiten für steigende Flanken und fallende Flanken des Eingangssignals Sin resultieren.

Bei einem nicht näher dargestellten Ausführungsbeispiel ist vorgesehen, auf die zweite Stromquelle I_2 zu verzichten, wodurch fallende Flanken des Eingangssignals Sin nahezu verzögerungsfrei weiter gegeben werden, da mit leitender Ansteuerung des Lowside-Transistors TN der Kondensator C kurzgeschlossen wird.

Vorzugsweise werden die Detektorschaltung mit dem kreuzgekoppelten Signaldetektoren 11, 12 und die Signalverarbeitungsschaltung 20A mit der Flankenabstandsbewertungseinheit 30 kombiniert, wie dies für eine erfindungsgemäße Empfänger-schaltung in Figur 10 dargestellt ist. Die Detektorschaltung 10A ist dabei in der Lage, Gleichtaktstörsignale zu detektieren, die unterschiedliche Amplituden aufweisen, während die nachgeschaltete Signalverarbeitungsschaltung 20A in der Lage ist, Gleichtaktstörsignale zu unterdrücken, die geringfügig zeitlich versetzt zueinander auftreten. Die Signalverarbeitungsschaltung 20A ist dabei auch in der Lage, Signalverzögerungen zu berücksichtigen, die gegebenenfalls in der Detektorschaltung vorhanden ist und die selbst bei gleichzeitig an den Eingängen E1, E2 anliegenden Impulsen zu zeitlich leicht versetzten Detektorausgangssignalen CLK1, CLK2 führen können. Die Inverter 21, 22 gemäß Figur 7 sind in dem Ausführungsbeispiel gemäß Figur 10 durch NAND-Gatter 21, 22 ersetzt, denen ein Versorgungsspannungsdetektionssignal UVLn zugeführt ist. Dieses Versorgungsspannungsdetektionssignal UVLn weist bei ausreichender Versorgungsspannung einen High-Pegel auf und nimmt bei zu geringer Versorgungsspannung einen Low-Pegel an, um dadurch die Flip-Flops 31, 32 und das Ausgangsflip-Flop 60 zurückzusetzen und vor einem Wiedereinschalten in einen definierten Schaltzustand zu überführen.

Figur 11 zeigt beispielhafte zeitliche Verläufe ausgewählter Signale in der Schaltung nach Figur 10.

5 P1 und P2 bezeichnen in Figur 11 Nutzsignalimpulse der Eingangssignale In1 bzw. In2, wobei der Impuls P1 zu einer steigenden Flanke des Ausgangssignal Out und der Impuls P2 zu einer fallenden Flanke des Ausgangssignals Out2 führt. Zwischen diesen Impulsen treten Störimpulse in den Eingangssignalen
10 In1, In2 auf, die jedoch nicht zu einer Änderung des Ausgangssignals Out führen. Der nur in dem Signal In2 auftretende Störimpuls P3 liegt unterhalb der Detektionsschwelle des Signaldetektors 12 und führt deshalb nicht zu einer Änderung des Ausgangssignals. Die Störimpulse P4, P5 treten zeitlich
15 geringfügig gegeneinander versetzt und mit unterschiedlichen Amplituden auf, werden jedoch detektiert, weil einer der Impulse oberhalb der höheren oberen Detektionsschwelle des zweiten Signaldetektors 12 liegt und der Störimpuls P5 in dem ersten Eingangssignal In1 nach einer Absenkung der Detekti-
20 onsschwelle durch den ersten Signaldetektor ebenfalls erkannt wird. Die Zeitverzögerung zwischen diesen beiden Impulsen wird durch die Flankenabstandsbewertungseinheit 30 mit den asymmetrischen Verzögerungsgliedern ausgeglichen. Entsprechendes gilt für die Störimpulse P6, P7, die ebenfalls zeit-
5 lich leicht versetzt und mit unterschiedlichen Amplituden auftreten.

Figur 12 zeigt weitere beispielhafte Zeitverläufe, wobei ein Impuls P8 des ersten Eingangssignals In1 einen Nutzsignalimpuls repräsentiert, der zu einer fallenden Flanke des Aus-
30 gangssignals Out1 führt und wobei ein Impuls P9 des zweiten Eingangssignals In2 einen Nutzimpuls repräsentiert, der zu einer steigenden Flanke des Ausgangssignals Out1 führt. Die Impulse P10, P11 liegen unterhalb der Detektionsschwelle der
35 Signaldetektoren 11, 12 und werden daher nicht detektiert. Gleiches gilt für die Impulse P12, P13. In Figur 12 sind weiterhin Gleichtaktstörimpulse P14, P15 dargestellt, die

gleichzeitig auftreten, wobei aufgrund von Gatterlaufzeiten in der Detektorschaltung 10A und/oder der Signalverarbeitungseinheit 20 die Rücksetzimpulse R1, R2 der Flip-Flops 31, 32 zeitversetzt auftreten, woraus eine steigende Flanke des ersten Signals Q1 resultiert. Die Impulsbreite dieses Signals Q1 ist jedoch klein im Vergleich zur Verzögerungszeit des asymmetrischen Verzögerungsgliedes 41, so dass dieser Impuls des ersten Signals Q1 sich nicht auf das Ausgangssignal Out auswirkt.

Bezugszeichenliste

	10, 10A	Detektorschaltungen
	11, 12	Signaldetektoren
5	110	Sender
	121, 122	Treiber
	131, 132	Transformatoren
	141, 142	Detektoren
	150	Empfänger
10	20	Signalverarbeitungsschaltung
	21	Inverter, NAND-Gatter
	22	Inverter, NAND-Gatter
	31, 32	D-Flip-Flop
	41, 42	asymmetrische Verzögerungsglieder
15	51, 52	invertierende Schmitt-Trigger
	60	Flip-Flop
	61, 62	NAND-Gatter
	A	Ausgangsklemmen
	C	Kondensator
20	C2	Störsignal
	CLK1, CLK2	Detektorausgangssignale
	CLKN	Takteingänge
	E1, E2	Eingangsklemmen
	GND	Bezugspotential
5	GNDp, GNDs	Bezugspotentiale
	I1, I2	Ströme
	In	Eingangssignal
	In1, In2	Eingangssignale
	INV	Inverter
30	Iq1, Iq2	Stromquellen
	OPV	Operationsverstärker
	Out	Ausgangssignal
	Q1	erstes Signal
	Q2	zweites Signal
35	R1, R2	Rücksetzsignale
	R1, R21, R22	Widerstände
	RN	Rücksetz-Eingang

	RXIn1, RXIn2	Detektoreingangssignale
	S	Schalter
	SH1, SH2	obere Detektionsschwellen
	Sin	Eingangssignal
5	SL	untere Detektionsschwelle
	SN	Setz-Eingang
	Sout	Ausgangssignal
	ST	Schmitt-Trigger
	ST1, ST2	Ausgangssignale der Schmitt-Trigger
10	T1, T2	Ausgangssignale der asymmetrischen Verzögerungsglieder
	TN	N-Kanaltransistor
	TN1, TN2, TN31, TN32	n-Kanal-Transistoren
	TP	P-Kanaltransistor
15	TP1, TP2, TP3	n-Kanal-Transistoren
	TXIn1, TXIn2	Senderausgangssignale
	TXOut1, TXOut2	Treiberausgangssignale
	Uc	Kondensatorspannung
	Uin	Eingangsspannung
20	Uout	Ausgangsspannung
	V	Versorgungspotential
	Vcc	Versorgungspotential
	Vh	obere Detektionsschwelle
	Vl	untere Detektionsschwelle

Patentansprüche

1. Empfängerschaltung für ein Gegentaktübertragungsverfahren, die folgende Merkmale aufweist:

5

- wenigstens einen ersten Eingang (E1) zur Zuführung eines ersten Eingangssignals (In1) und wenigstens einen zweiten Eingang (E2) zur Zuführung eines zweiten Eingangssignals (In2) und einen Ausgang zur Bereitstellung eines von dem ersten und zweiten Eingangssignal (In1, In2) abhängigen Ausgangssignals (Out),

10

- eine Detektorschaltung (10A) mit einem an den ersten Eingang angeschlossenen ersten Signaldetektor (11) und einem an den zweiten Eingang (E2) angeschlossenen zweiten Signaldetektor (12), wobei die Signaldetektoren (11,12) Amplituden der Eingangssignale (In1, In2) jeweils mit einer Detektionsschwelle vergleichen und jeweils ein Detektorausgangssignal (CLK1, CLK2) bereitstellen und wobei die Signaldetektoren (11,12) jeweils einen Steuereingang zur Einstellung der Detektionsschwelle aufweisen und wobei der Steuereingang des ersten Signaldetektors (11) an einen Ausgang des zweiten Signaldetektors (11) und der Steuereingang des zweiten Signaldetektors (12) an einen Ausgang des ersten Signaldetektors (11) gekoppelt ist,

15

20

5

- eine Signalverarbeitungsschaltung (20, 20A) der die Detektorausgangssignale zugeführt sind und die das Ausgangssignal (Out) nach Maßgabe der Detektorausgangssignale (CLK1, CLK2) bereitstellt.

30

2. Empfängerschaltung nach Anspruch 1, bei der die Signaldetektoren (11, 12) nach Maßgabe eines an dem jeweiligen Steuereingang anliegenden Signal eine erste oder eine zweite Detektionsschwelle (SH1, SH2) besitzen.

35

3. Empfängerschaltung nach Anspruch 1, bei der die Signaldetektoren (11, 12) Schmitt-Trigger mit einer einstellbaren oberen Schaltschwelle sind.

5 4. Empfängerschaltung nach einem der vorangehenden Ansprüche, bei der die Signalverarbeitungsschaltung (20, 20A) eine Flankenabstandsbewertungseinheit (30) aufweist, die vorgegebene Flanken der Detektorausgangssignale (CLK1, CLK2) detektiert und die Ausgangssignale (ST1, ST2) bereitstellt, die von den
10 Detektorausgangssignalen (CLK1, CLK2) und von einem zeitlichen Abstand zwischen einer vorgegebenen Flanke des ersten Detektorausgangssignals (CLK1) und einer vorgegebenen Flanke des zweiten Detektorausgangssignals (CLK2) abhängig ist.

15 5. Empfängerschaltung nach Anspruch 4, bei der die Flankenabstandsbewertungseinheit (30) ein erstes asymmetrisches Verzögerungsglied (41) aufweist, dem ein von dem ersten Detektorausgangssignal (CLK1) und dem zweiten Detektorausgangssignal (CLK2) abhängiges erstes Signal (Q1) zugeführt ist, und ein
20 zweites asymmetrisches Verzögerungsglied (42) aufweist, dem ein von dem zweiten Detektorausgangssignal (CLK2) und dem ersten Detektorausgangssignal abhängiges zweites Signal (Q2) zugeführt ist, wobei die Verzögerungsglieder erste Flanken des ersten und zweiten Signals (Q1, Q2) mit einer ersten Verzögerungszeit (Δt_1) und zweite Flanken des ersten und zweiten
25 Signals (Q1, Q2) mit einer zweiten Verzögerungszeit (Δt_2) weitergeben.

30 6. Empfängerschaltung nach Anspruch 5, bei der die Verzögerungsglieder (41, 42) fallende Flanken des ersten und zweiten Signals (Q1, Q2) mit einer größeren Verzögerungszeit (Δt_1) als steigende Flanken (Δt_2) weitergeben.

35 7. Empfängerschaltung nach einem der vorangehenden Ansprüche, die mehr als zwei Eingänge aufweist, denen jeweils ein Detektor nachgeschaltet ist, wobei an den Steuereingang jeweils

eines der Detektoren ein von Ausgangssignalen der anderen Detektoren abhängiges Signal anliegt.

8. Verfahren zur Detektion eines ersten und zweiten Signals (In1, In2) bei einem Gegentaktübertragungsverfahren, das folgende Verfahrensschritte umfasst:

- Vergleichen des ersten und zweiten Signals (In1, In2) jeweils mit einer ersten Detektionsschwelle (SH1),

- Verkleinern der Detektionsschwelle auf den Wert einer zweiten Detektionsschwelle und Vergleichen eines der Signale (In1; In2) mit dieser zweiten Detektionsschwelle (SH2), nachdem das andere Signal (In2; In1) die erste Detektionsschwelle erreicht hat.

9. Verfahren nach Anspruch 8, bei dem die Detektionsschwelle für den Vergleich mit dem einen Signal (In1; In2) wieder auf den Wert der ersten Detektionsschwelle angehoben wird, nachdem das andere Signal (In2; In1) eine dritte Detektionsschwelle (SL) erreicht hat.

10. Verfahren nach Anspruch 8 oder 9, bei dem die erste Detektionsschwelle (SH1, SH2) größer als die zweite Detektionsschwelle ist.

11. Verfahren nach Anspruch 9 oder 10, bei dem die dritte Detektionsschwelle kleiner als die erste und zweite Detektionsschwelle ist.

12. Empfängerschaltung für ein Gegentaktübertragungsverfahren, die folgende Merkmale aufweist:

- einen ersten Eingang (E1) zur Zuführung eines ersten Eingangssignals (In1) und einen zweiten Eingang (E2) zur Zuführung eines zweiten Eingangssignals (In2) und einen Ausgang

(A) zur Bereitstellung eines von dem ersten und zweiten Eingangssignal (In1, In2) abhängigen Ausgangssignals,

- 5 - eine Detektorschaltung (10), die an den ersten Eingang und den zweiten Eingang angeschlossen ist und die Detektorausgangssignale (CLK1, CLK2) bereitstellt, die von einem Vergleich der Eingangssignale (In1, In2) mit einer Detektionsschwelle abhängig sind,
- 10 - eine Signalverarbeitungsschaltung (20, 20A) der die Detektorausgangssignale zugeführt sind und die das Ausgangssignal (Out) nach Maßgabe der Detektorausgangssignale (CLK1, CLK2) bereitstellt und die eine Flankenbewertungseinheit aufweist, die vorgegebene Flanken der Detektorausgangssignale (CLK1, CLK2) detektiert und die Zwischensignale (ST1, ST2) bereitstellt, die von den Detektorausgangssignalen (CLK1, CLK2) und von einem zeitlichen Abstand zwischen einer vorgegebenen Flanke des ersten Detektorausgangssignals (CLK1) und einer vorgegebenen Flanke des zweiten Detektorausgangssignals (CLK2) abhängig sind.

13. Empfängerschaltung nach Anspruch 12, bei der die Flankenbewertungseinheit ein erstes asymmetrisches Verzögerungsglied (41) aufweist, dem ein von dem ersten Detektorausgangssignal (CLK1) und dem zweiten Detektorausgangssignal (CLK2) abhängiges erstes Signal (Q1) zugeführt ist, und ein zweites asymmetrisches Verzögerungsglied (42) aufweist, dem ein von dem zweiten Detektorausgangssignal (CLK2) und dem ersten Detektorausgangssignal abhängiges zweites Signal (Q2) zugeführt ist, wobei die Verzögerungsglieder erste Flanken des ersten und zweiten Signals (Q1, Q2) mit einer ersten Verzögerungszeit (Δt_1) und zweite Flanken des ersten und zweiten Signals (Q1, Q2) mit einer zweiten Verzögerungszeit (Δt_2) weitergeben.

14. Empfängerschaltung nach einem der vorangehenden Ansprüche, bei der die Verzögerungsglieder (41, 42) fallende Flanken

ken des ersten und zweiten Signals (Q_1 , Q_2) mit einer größeren Verzögerungszeit (Δt_1) als steigende Flanken (Δt_2) weitergeben.

Zusammenfassung

Empfängerschaltung für ein Gegentaktübertragungsverfahren und
~~ein~~ Verfahren zur empfängerseitigen Signalverarbeitung bei
5 Gegentaktübertragungsverfahren



Die vorliegende Erfindung betrifft eine Empfängerschaltung
für ein Gegentaktübertragungsverfahren, die folgende Merkmale
aufweist:

10

- einen ersten Eingang (E1) zur Zuführung eines ersten Ein-
gangssignals (In1) und einen zweiten Eingang (E2) zur Zufüh-
rung eines zweiten Eingangssignals (In2) und einen Ausgang
zur Bereitstellung eines von dem ersten und zweiten Eingangs-
15 signal (In1, In2) abhängigen Ausgangssignals (Out),

15

- eine Detektorschaltung (10A) mit einem an den ersten Ein-
gang angeschlossenen ersten Signaldetektor (11) und einem an
den zweiten Eingang (E2) angeschlossenen zweiten Signaldetek-
20 tor (12), wobei die Signaldetektoren (11,12) Amplituden der
Eingangssignale (In1, In2) jeweils mit einer Detekti-
onsschwelle vergleichen, und jeweils ein Detektorausgangssig-
nal (CLK1, CLK2) bereitstellen und wobei die Signaldetektoren
(11,12) jeweils einen Steuereingang zur Einstellung der De-
5 tektionsschwelle aufweisen und an Ausgängen und wobei der
Steuereingang des ersten Signaldetektors (11) an einen Aus-
gang des zweiten Signaldetektors (11) und der Steuereingang
des zweiten Signaldetektors (12) an einen Ausgang des ersten
Signaldetektors (11) gekoppelt ist,

30

- eine Signalverarbeitungsschaltung (20, 20A) der die Detek-
torausgangssignale zugeführt sind und die das Ausgangssignal
(Out) nach Maßgabe der Detektorausgangssignale (CLK1, CLK2)
bereitstellt.

35

Figur 1

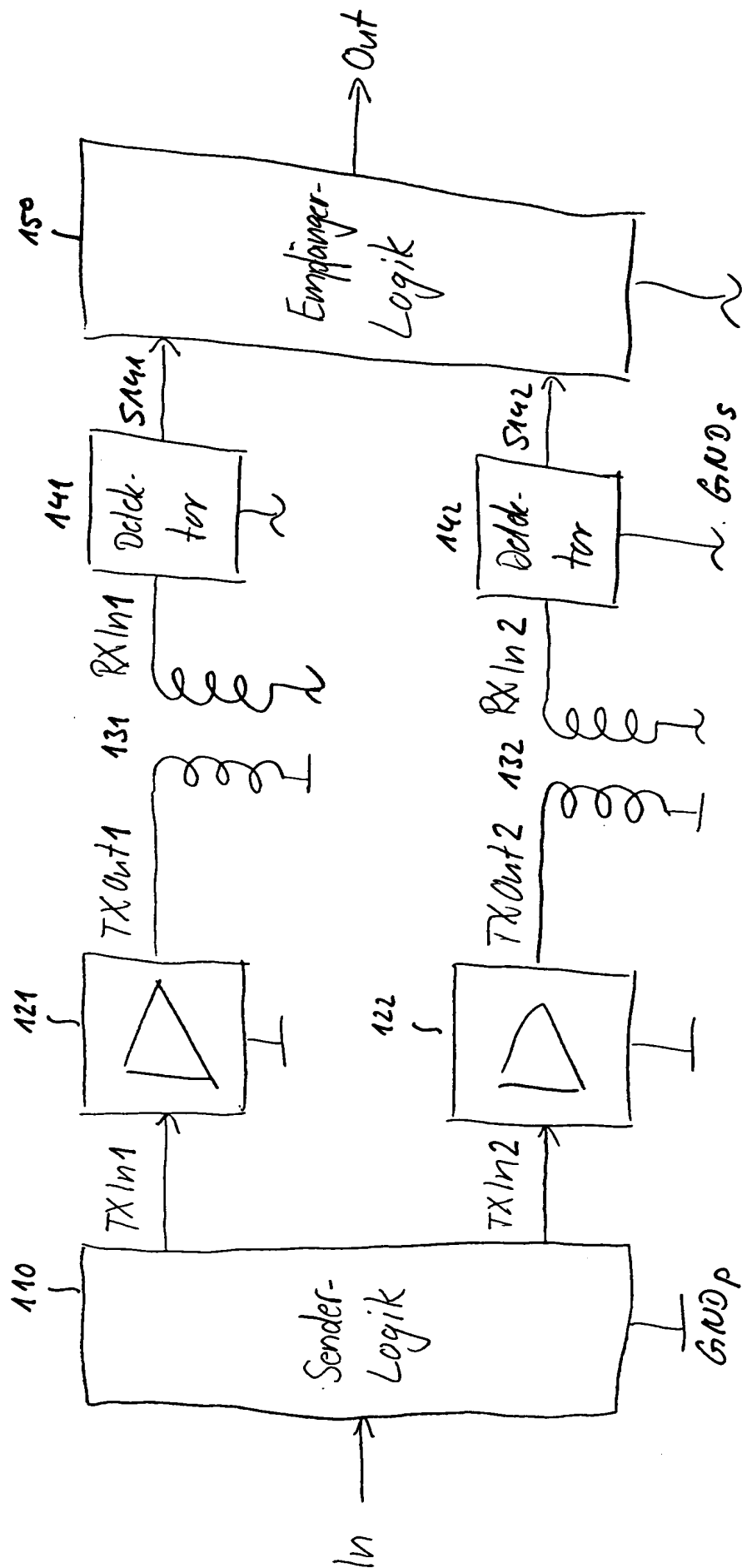


FIG. 1 (Stand der Technik)

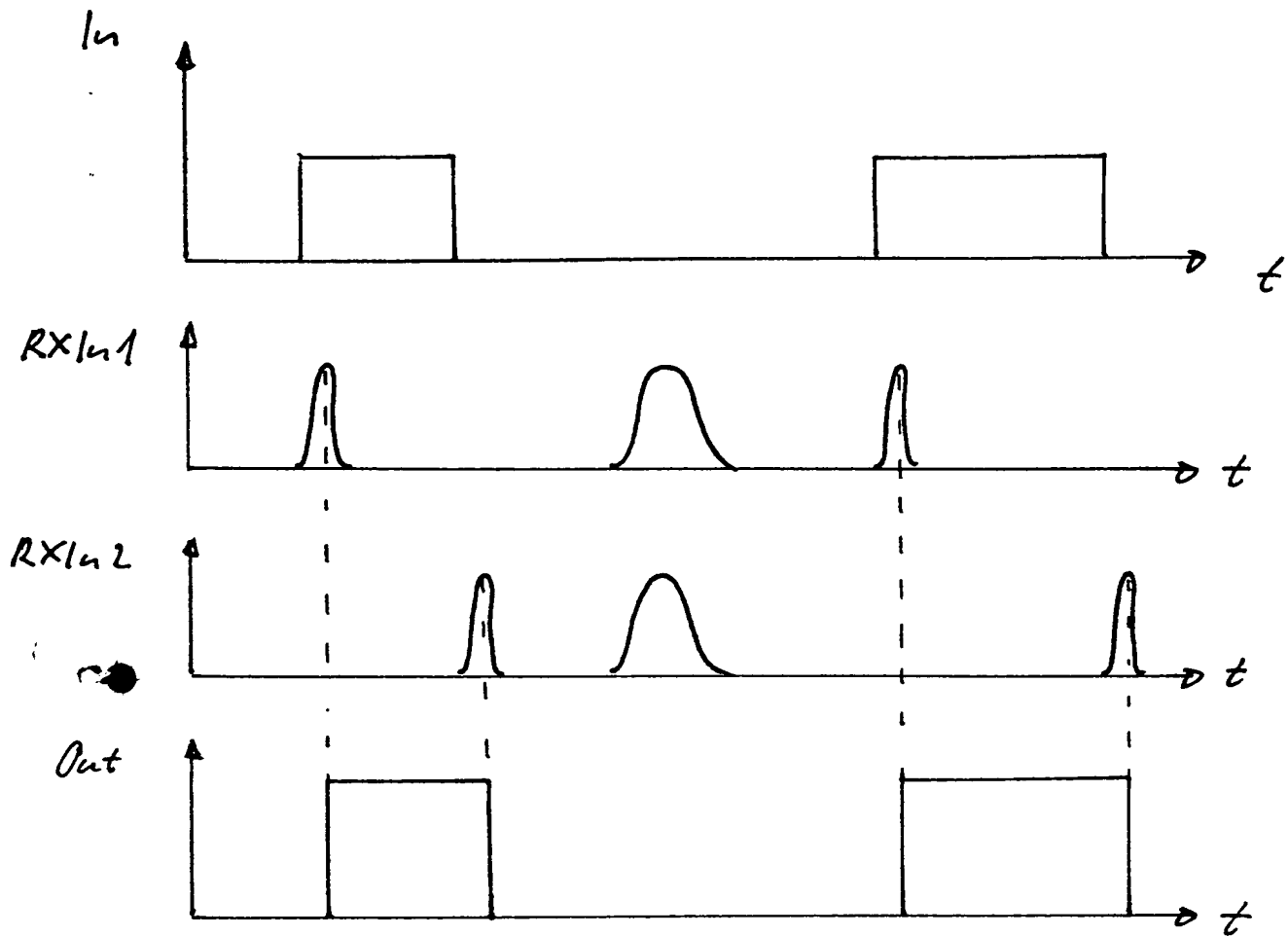


FIG. 2 (Stand the Technique)

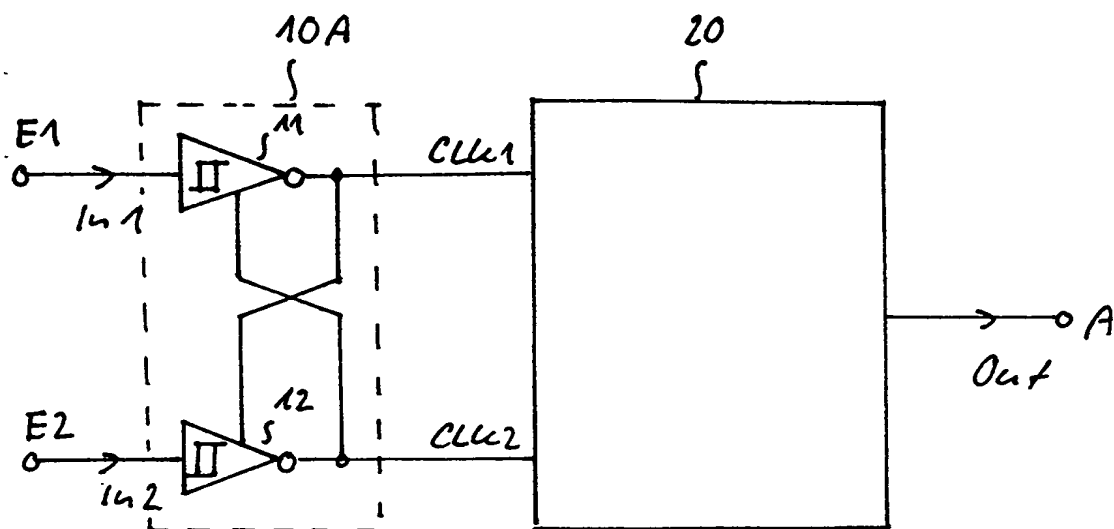


FIG. 3

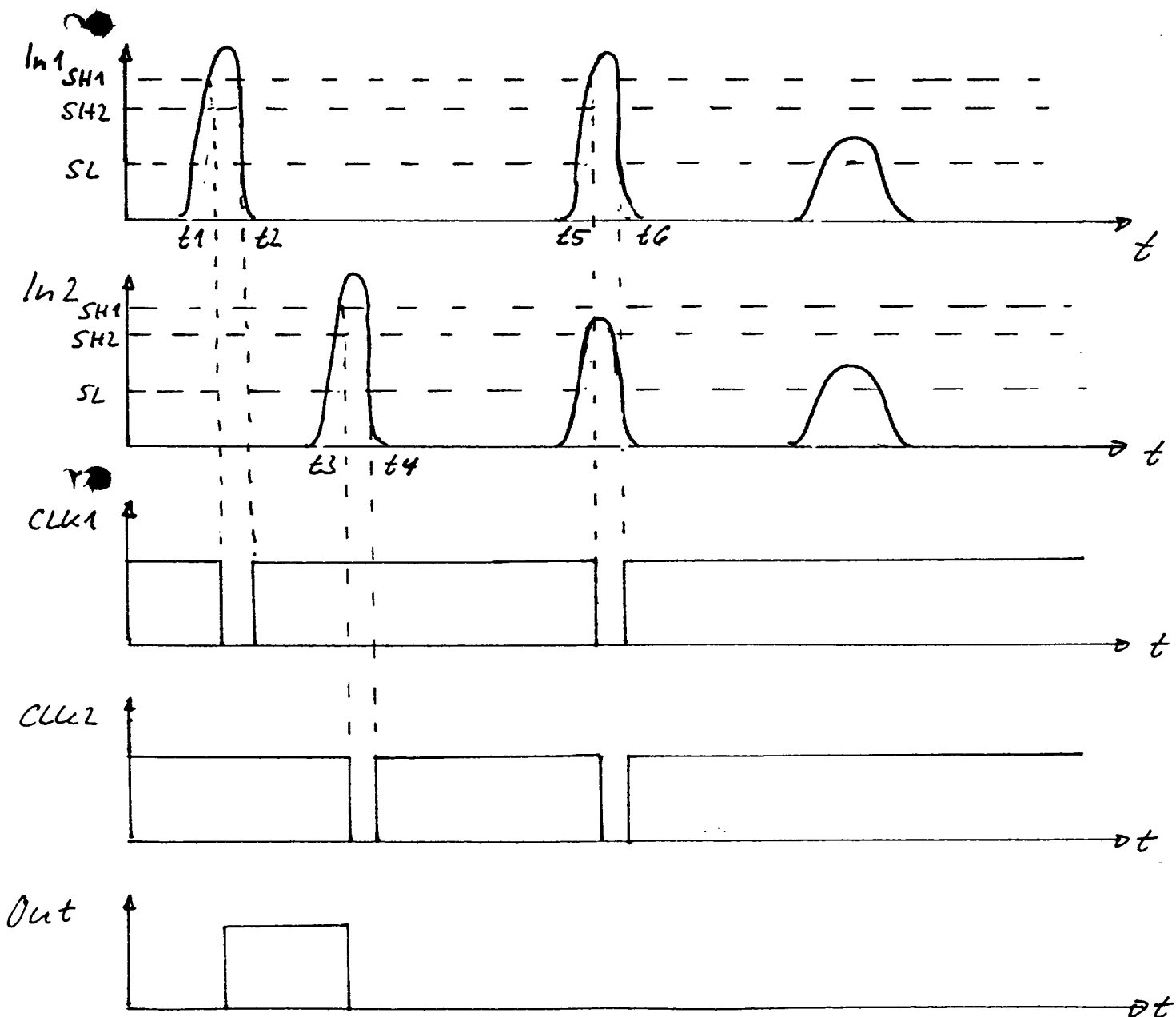


FIG. 4

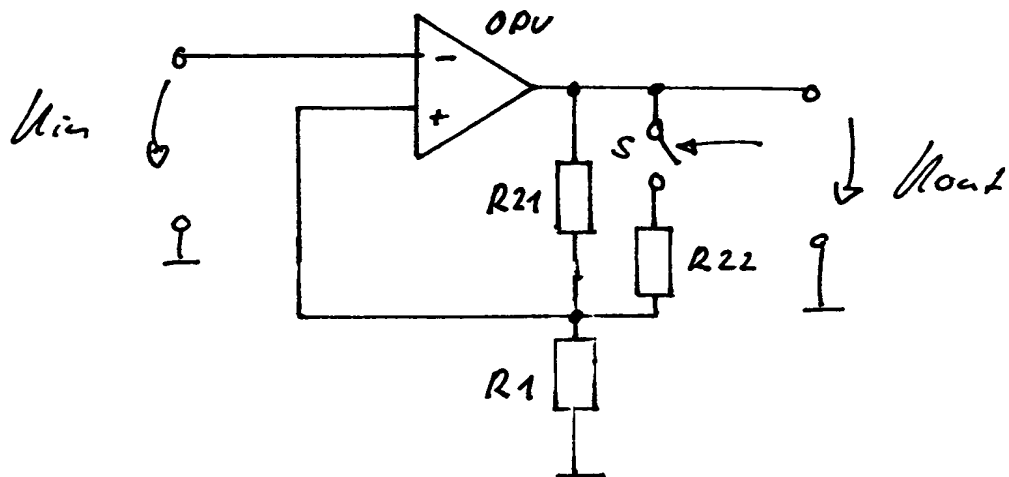


FIG. 5

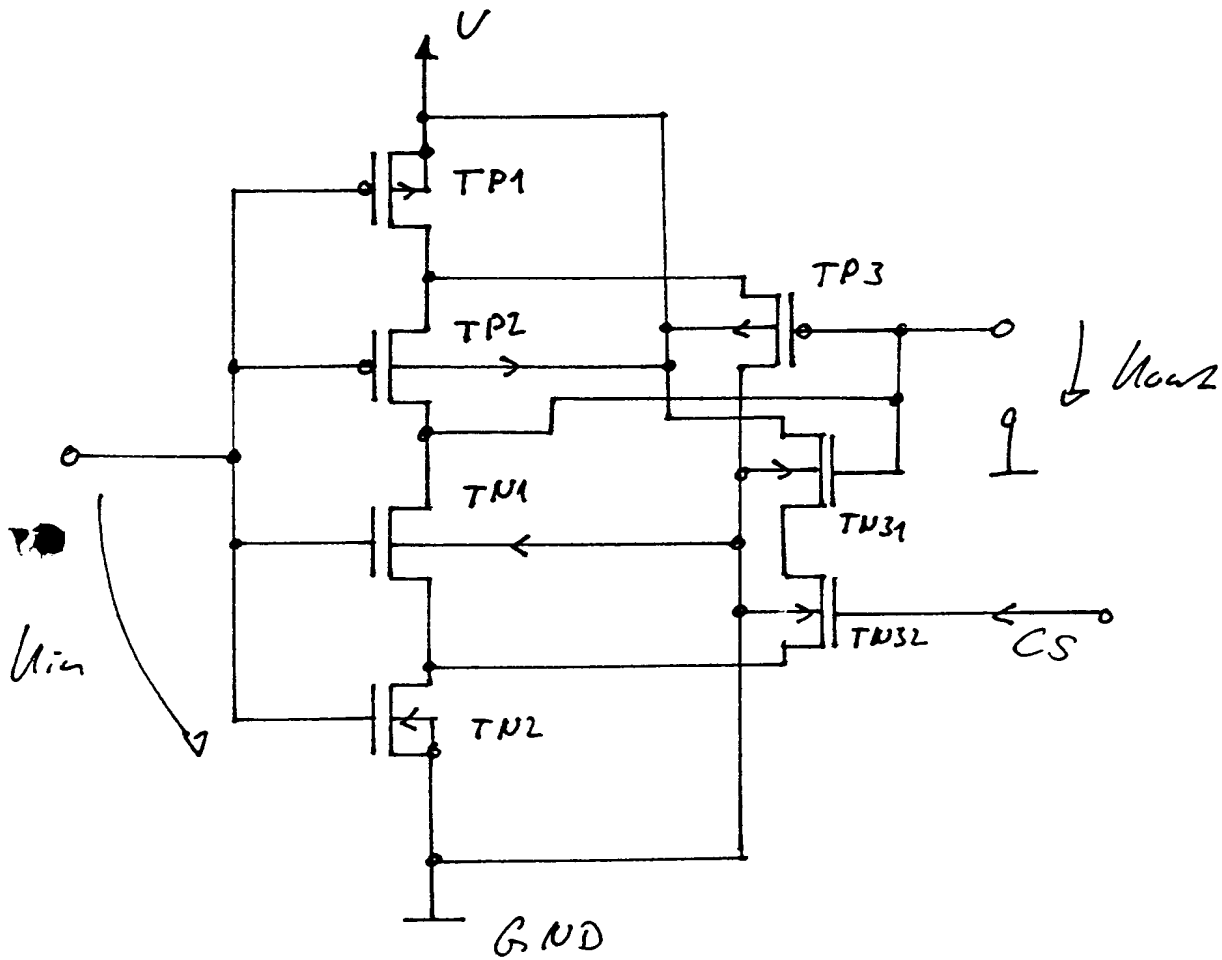


FIG. 6

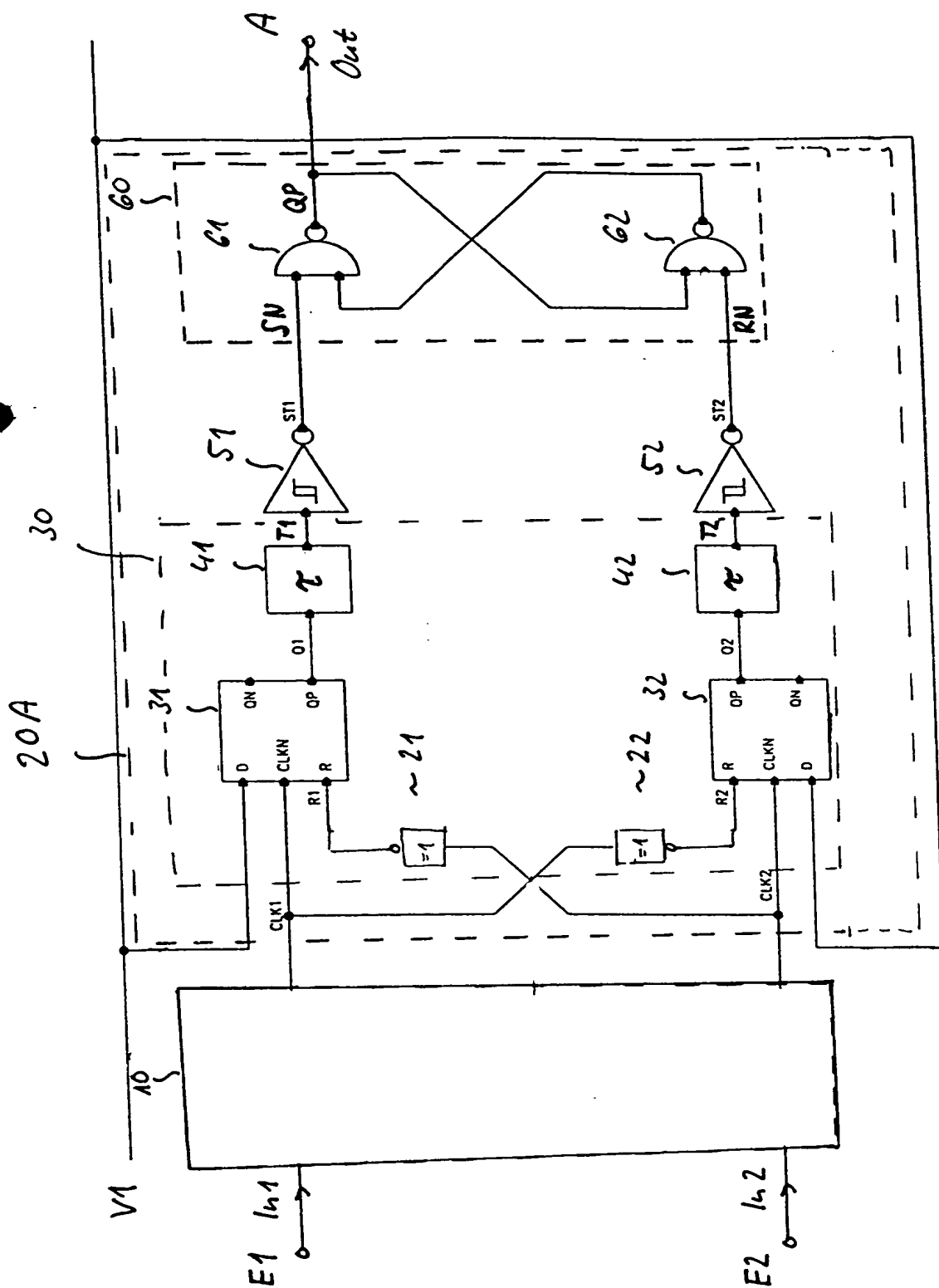


FIG. 7

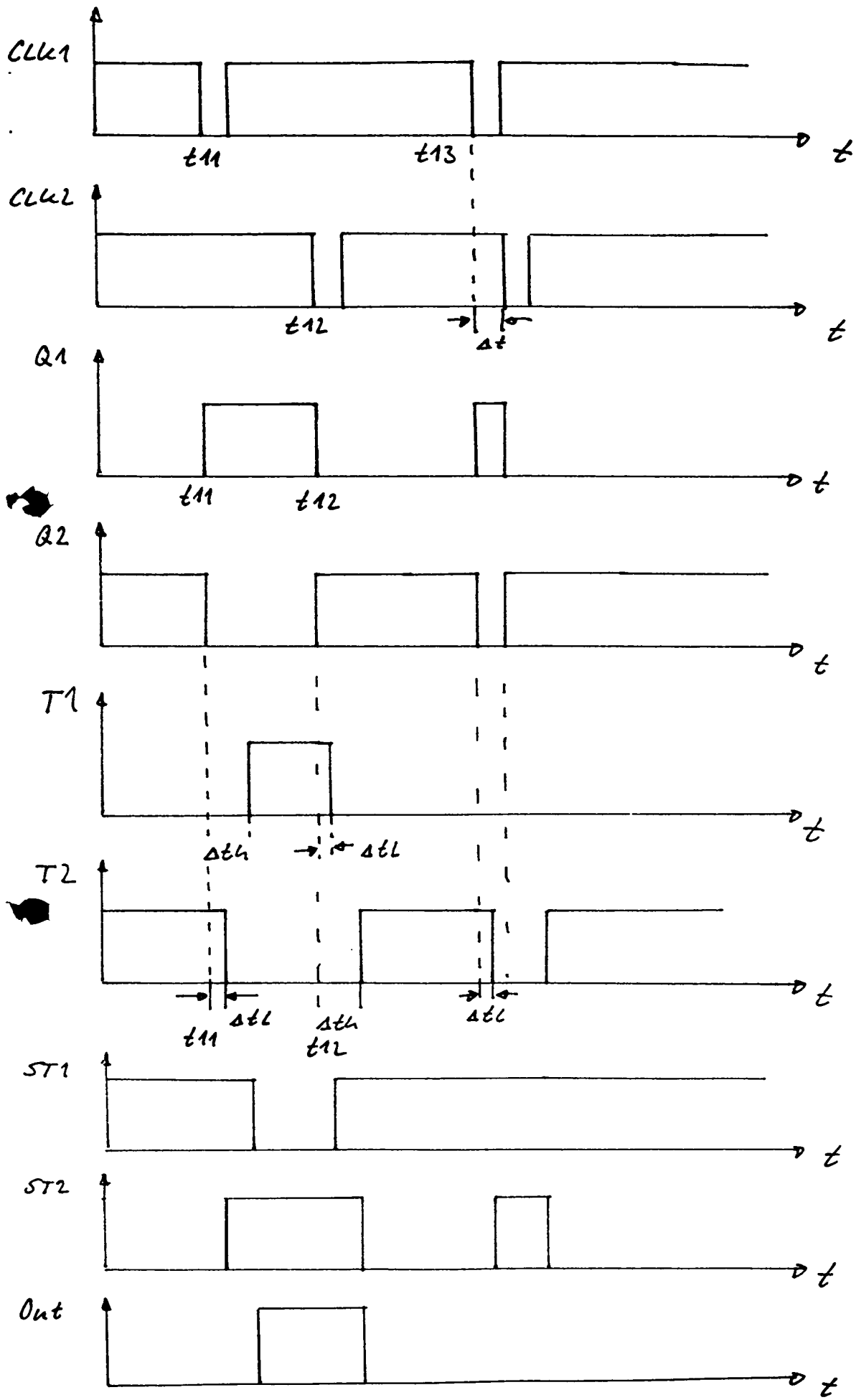


FIG. 8

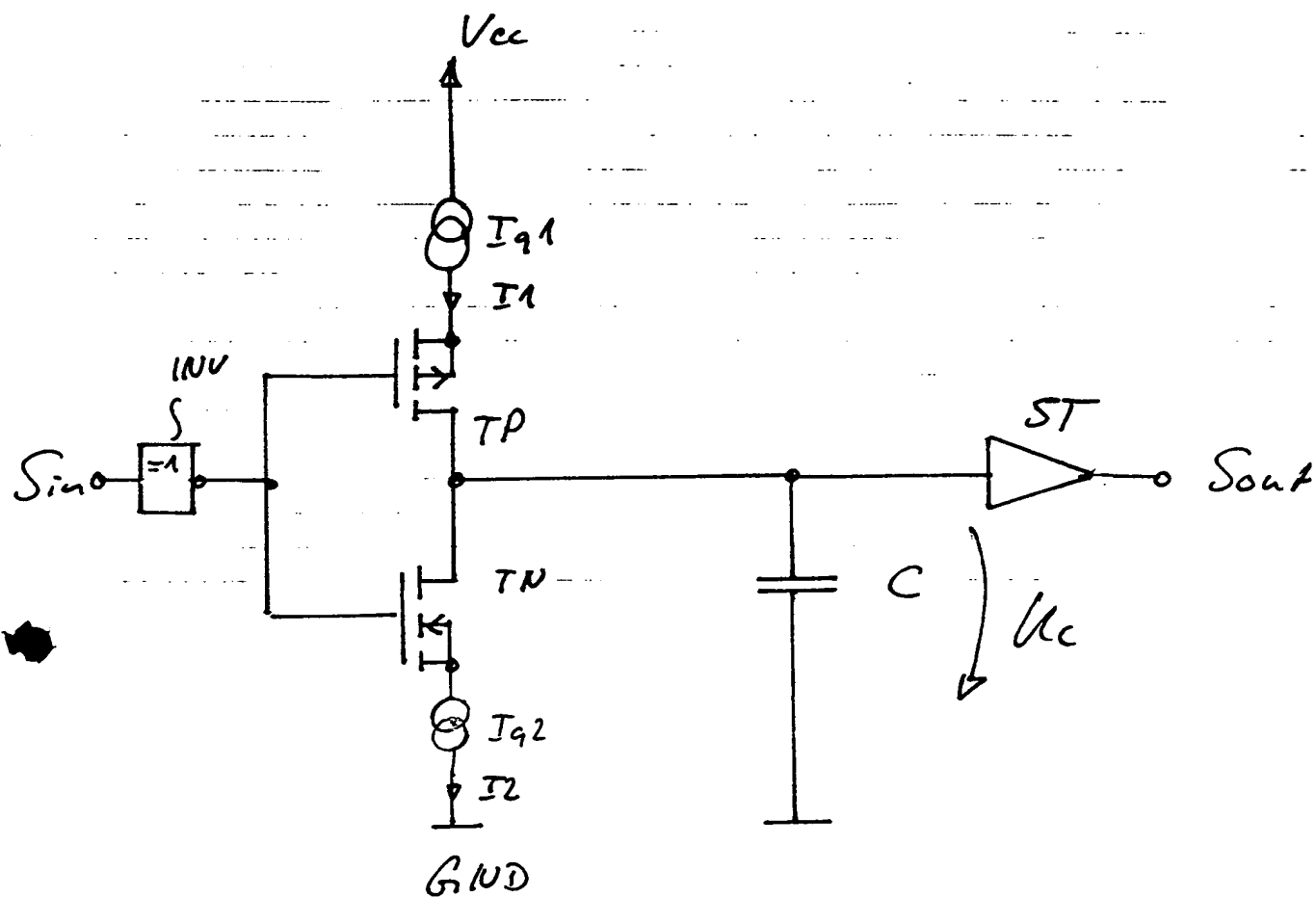


FIG. 3a

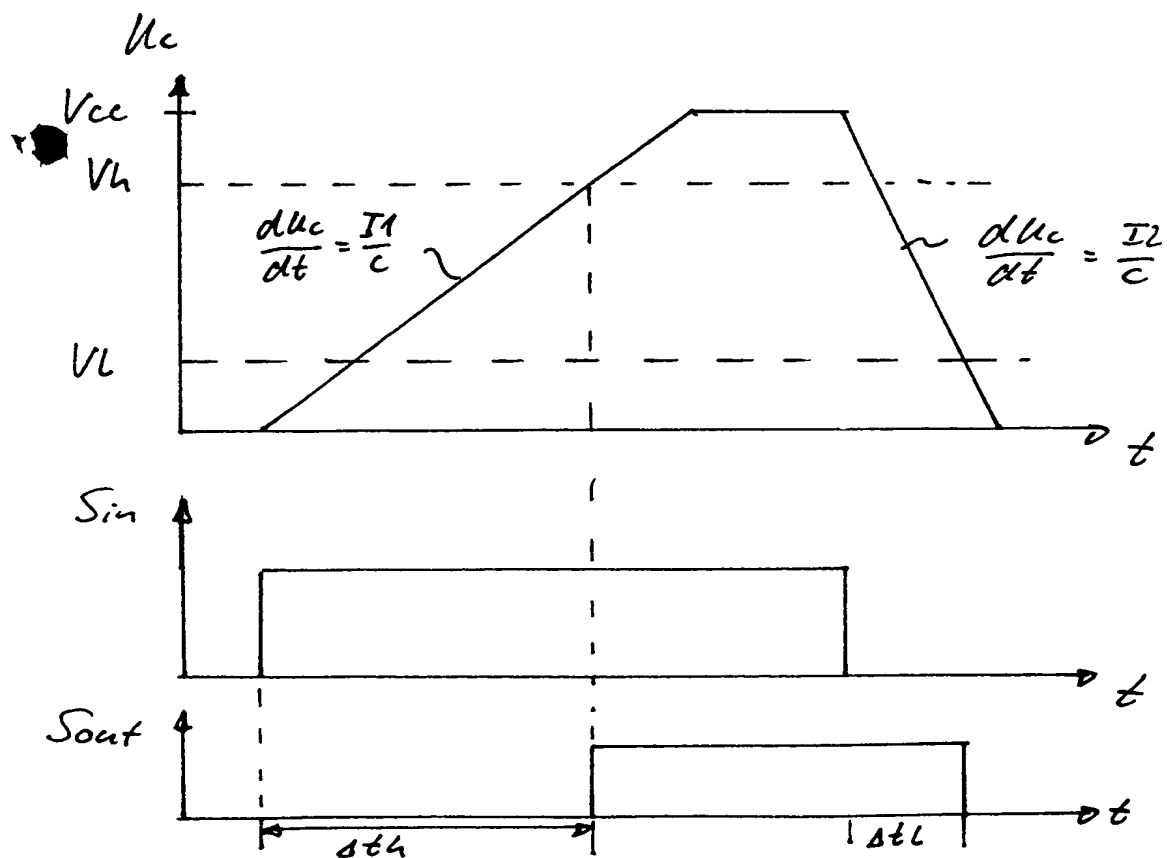


Fig 3b,

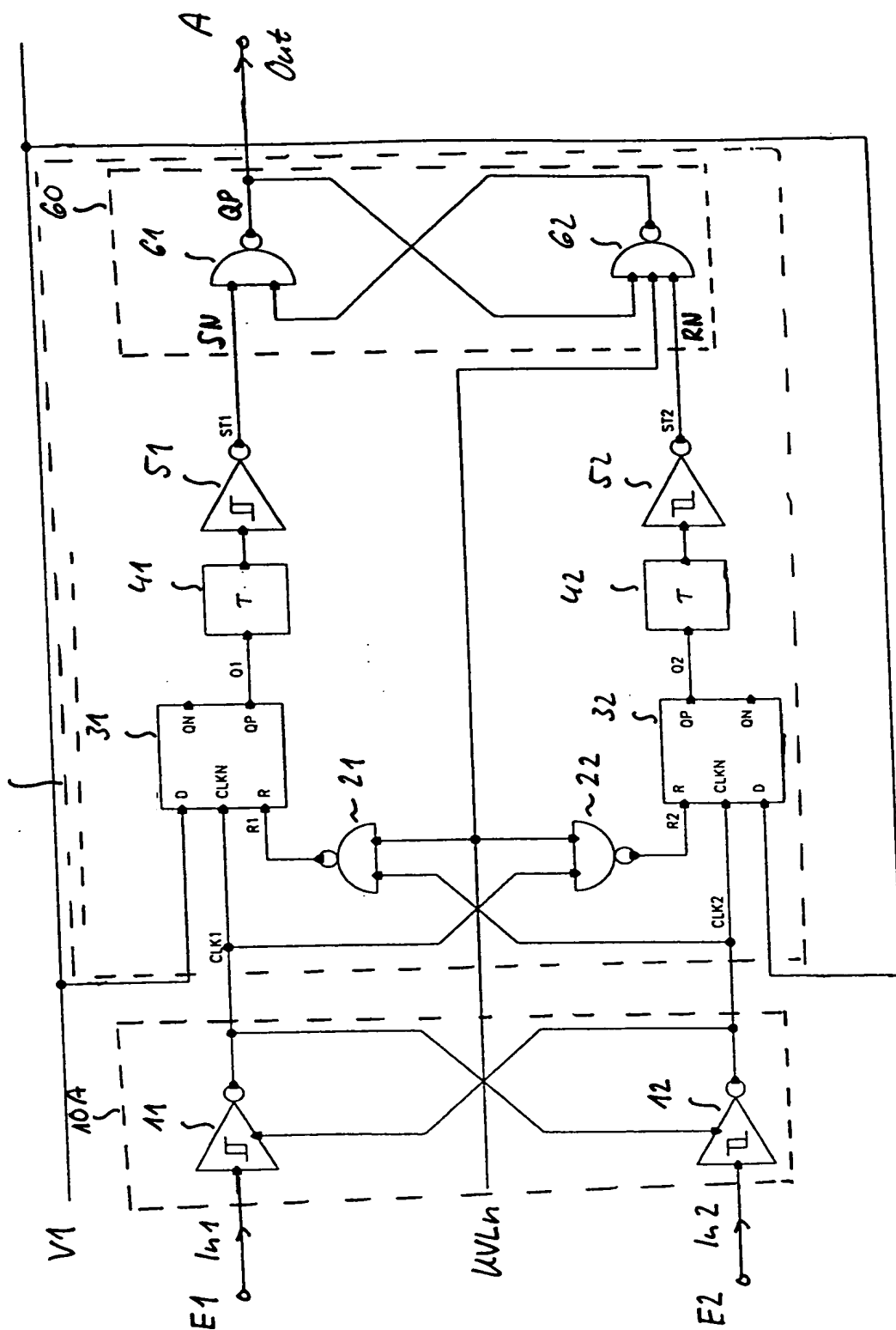


FIG. 10

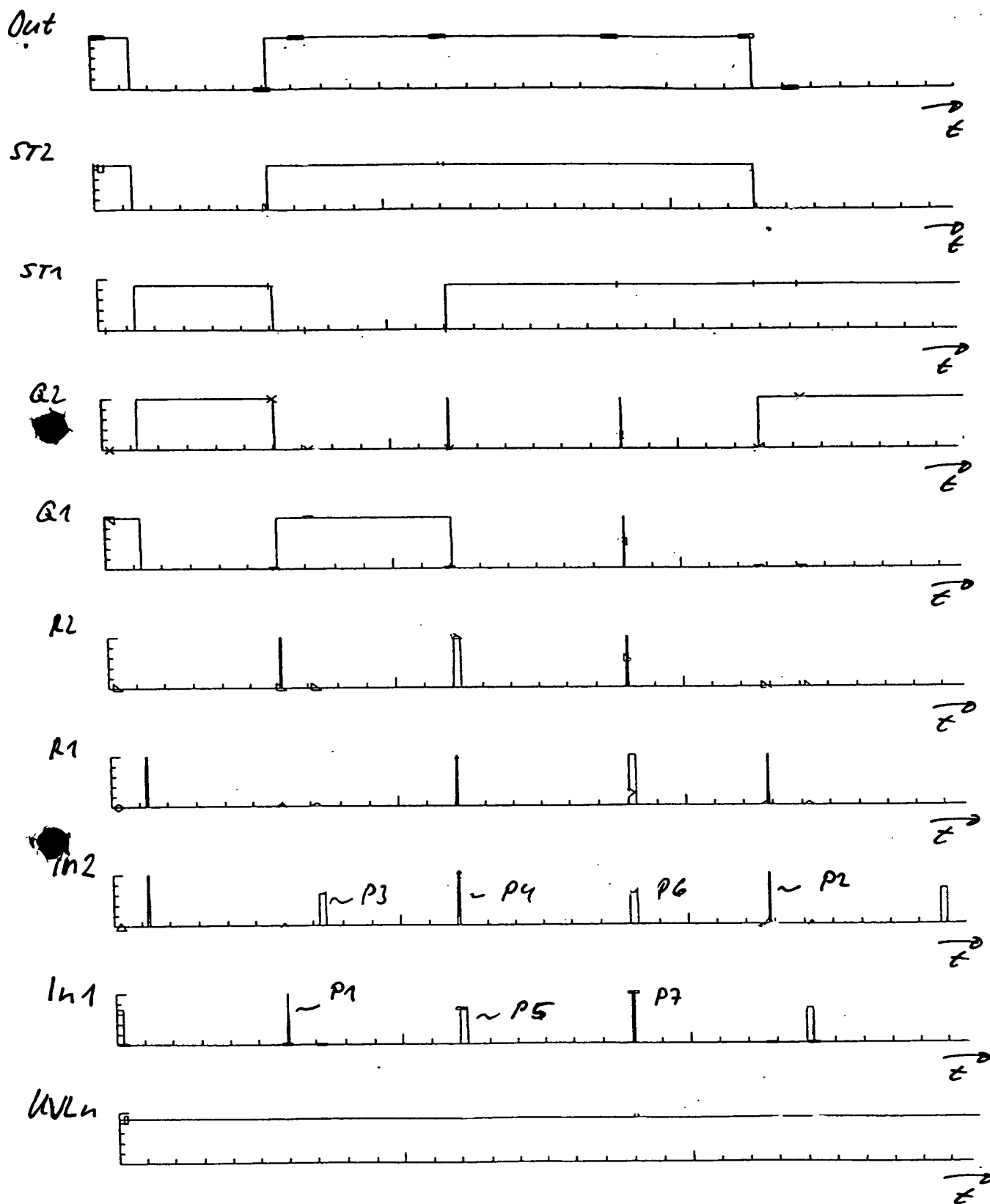


FIG. 11

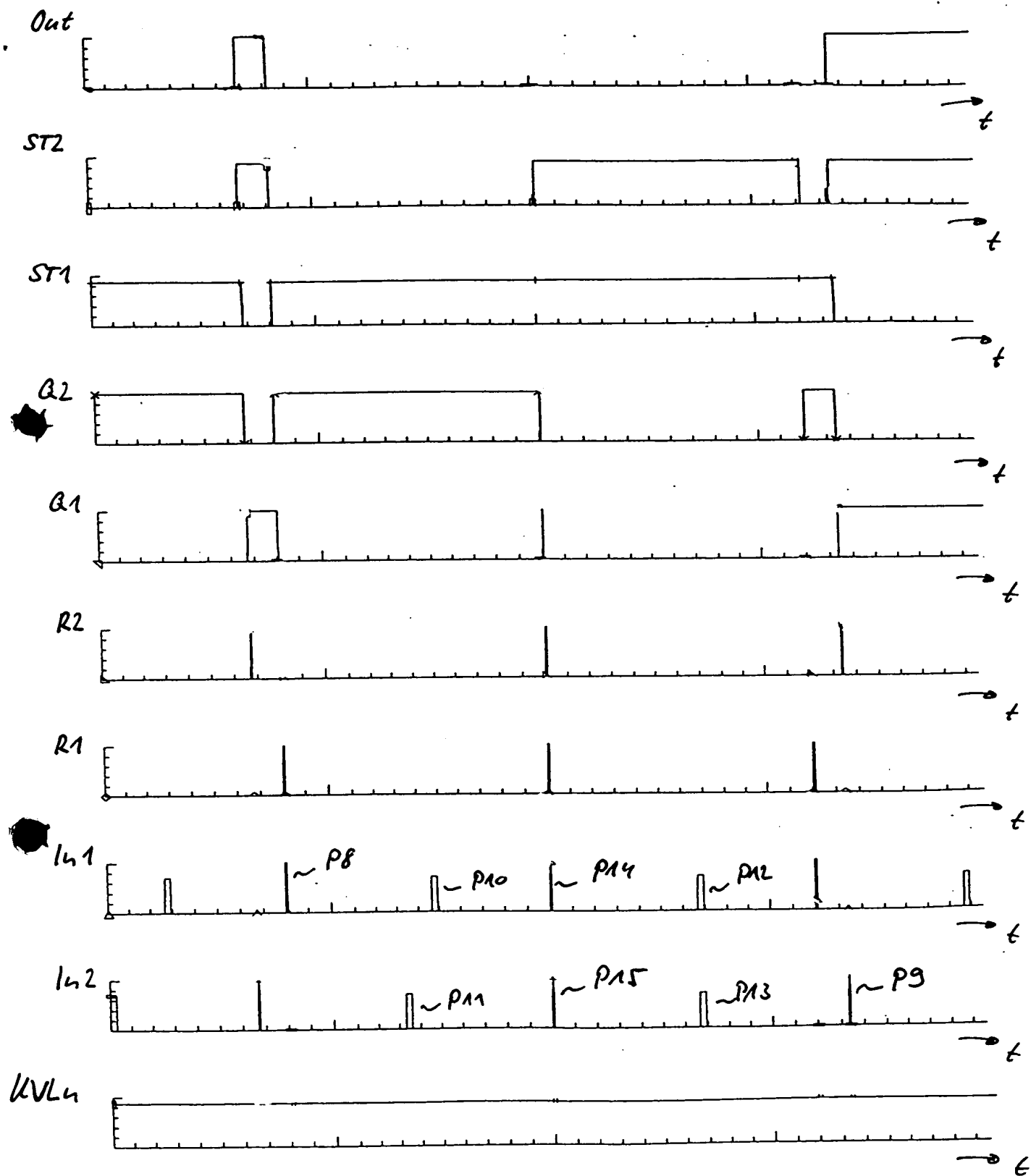


FIG. 12